

APR 22 2004

COPY

1/1 ページ

IMAGE FORMING DEVICE

Patent Number: JP6214442
Publication date: 1994-08-05
Inventor(s): YOSHINAGA HIROSHI
Applicant(s): RICOH CO LTD
Requested Patent: ☐ JP6214442
Application Number: JP19930023336 19930117
Priority Number(s):
IPC Classification: G03G15/00; G03G15/02; G03G15/06; G03G21/00
EC Classification:
Equivalents:

Abstract

PURPOSE:To prevent useless toner consumption and soiling in a device caused by toner sticking to non-electrified area on the surface of a photosensitive drum 1 at the time of starting the operation of a device and at the time of ending the operation.

CONSTITUTION:At the time of starting the operation of the device, a bias having a polarity same as that of toner is impressed on a conductive substrate of the photosensitive drum 1 by an electrostatic latent image carrier bias impressing circuit 18 (A), a rotary driving of the photosensitive drum 1 (D) starts after the impressed bias rises to a potential capable of preventing the toner sticking. Meanwhile, at the time of ending the operation of the device, impressing the bias by the electrostatic latent image carrier bias impressing circuit 18 is stopped after the photosensitive drum 1 completely stops rotating. Thus, a prescribed potential is surely formed between the photosensitive drum 1 and a developing roller 2 at the time of starting the operation of the device and at the time of ending the operation, then, the toner is prevented from sticking to the surface of the photosensitive drum 1.

Data supplied from the esp@cenet database - I2

特実: P 特許
出願番号: 特願平 5-23336 (平成 5 年 (1993) 1 月 17 日)
公開番号: 特開平 6-214442 (平成 6 年 (1994) 8 月 5 日)
公告番号:
登録番号:

出願人: 株式会社リコー (1)
発明名称: 画像形成装置

要約文: 【目的】 装置の動作開始時や動作終了時に、感光体ドラム 1 表面の不帯電領域にトナーが付着して、無駄なトナー消費や、装置内汚染が生じないようにする。【構成】 装置の動作開始時には、静電像担持体バイアス印加回路 18 で感光体ドラム 1 の導電性基体にトナーと同極性のバイアスを印加 (A) し、そのバイアスがトナー付着を生じない電位に立ち上がった後に、感光体ドラム 1 の回転駆動 (D) を開始する。また装置の動作開始時には、感光体ドラム 1 の回転が完全に停止してから、静電

公開 IPC: *G03G15/00, 301, IG03G15/02, 101, IG03G15/06, 101, IG03G21/00, 118

公告 IPC:

フリー KW: 画像 形成 装置, 装置, 動作 開始, 動作 終了, 感光体 ドラム, 表面, 帯電 領域, トナー, 付着, 無駄, トナー 消費, 装置 汚染, 複写機, フアクシミリ, プリンタ, 静電像 担持体

自社分類:

自社キーワード:

最終結果:

関連出願: (0)

審判:

審決:

対応出願: (0)

中間記録

受付発送日	種別	料担コード	条文
1993/01/19	63 出願書類	14000	
1999/10/27	62 審査請求書	96300	
2001/04/24	52 手続補正書		

受付発送日	種別	料担コード	条文
1993/03/30	ZS 他庁審査処		
2001/02/23	13 拒絶理由通		
2001/06/01	A2 拒絶査定		

(2)

特開平6-214442

2

【特許請求の範囲】

【請求項1】 静電像担持体と、表面が無端移動するように該静電像担持体を駆動させる駆動装置と、該静電像担持体表面を一様に帯電する帯電装置と、一様帯電された該静電像担持体表面に選択露光により静電像を形成する露光装置と、該静電像を現像剤担持体を介して供給されるトナーによって現像する現像装置と、該現像剤担持体に現像バイアス電圧を印加する現像バイアス印加手段とを備えた画像形成装置において、
該静電像担持体の導電性基体に所定電圧を印加する電圧印加手段と、装置の動作開始にあたって、該電圧印加手段による電圧印加を開始させて該静電像担持体が所定電位になった後に、該静電像担持体の駆動を開始させるように、該電圧印加装置及び該駆動装置を制御する制御手段とを設けたことを特徴とする画像形成装置。

【請求項2】 上記現像装置として、上記現像剤担持体上でキャリアを用いてトナーを搬送する二成分現像装置を用い、かつ、トナーが所定方向に搬送されるように上記現像剤担持体を駆動する現像剤担持体駆動装置と、上記現像バイアス印加手段により印加される現像バイアスが予め定められた値まで上昇した後に、該現像剤担持体がトナー搬送を開始するように、該現像剤担持体駆動装置及び現像バイアス印加手段を制御する制御手段とを設けたことを特徴とする請求項1の画像形成装置。

【請求項3】 静電像担持体と、表面が無端移動するように該静電像担持体を駆動させる駆動装置と、該静電像担持体表面を一様に帯電する帯電装置と、一様帯電された該静電像担持体表面に選択露光により静電像を形成する露光装置と、該静電像を現像剤担持体を介して供給されるトナーによって現像する現像装置と、該現像剤担持体に現像バイアス電圧を印加する現像バイアス印加手段とを備えた画像形成装置において、
該静電像担持体の導電性基体に所定電圧を印加する電圧印加手段と、装置の動作終了にあたって、該静電像担持体の表面移動が停止した後に、該電圧印加手段による電圧印加を停止させるように、該電圧印加装置及び該駆動装置を制御する制御手段とを設けたことを特徴とする画像形成装置。

【請求項4】 上記現像装置として、上記現像剤担持体上でキャリアを用いてトナーを搬送する二成分現像装置を用い、かつ、トナーが所定方向に搬送されるように上記現像剤担持体を駆動する現像剤担持体駆動装置と、現像剤担持体の駆動を停止させトナー搬送が停止した後に、上記現像バイアス印加手段による現像バイアスの印加を停止させるように、該現像剤担持体駆動装置及び現像バイアス印加手段を制御する制御手段とを設けたことを特徴とする請求項3の画像形成装置。

【請求項5】 上記電圧印加手段を、帯電装置や現像剤担持体などの他の電圧印加対象用の電源と、該電源からの供給電圧を分圧して上記静電像担持体の導電性基体

給する分圧回路とで構成したことを特徴とする請求項1又は3の画像形成装置。

【請求項6】 上記他の電圧印加対象用の電源として、スコロトン帯電器のグリッド用電源を用いたことを特徴とする請求項5の画像形成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複写機、ファクシミリ、プリンター等の画像形成装置に係り、詳しくは、帯電された静電像担持体表面上に、光照射や加熱等による部分的な電位低下で静電像を形成した後に、該静電像担持体表面上にトナーを付着させてトナー像を形成する画像形成装置に関するものである。

【0002】

【従来の技術】 この種の画像形成装置においては静電像担持体表面の電位と現像剤担持体の電位との電位差が現像剤担持体上のトナーの挙動に影響するので、これらの電位差によっては、画像形成動作の開始時などの静電像担持体表面へのトナー付着を予定していない期間に、静電像担持体表面へトナーが付着し、トナーの無駄な消費、画像形成装置内各部でのトナー汚染、クリーニング装置でのクリーニング不良などの不具合を生じる恐れがある。

【0003】 例えば、図1(a)は一例に係る従来の画像形成装置の概略構成図である。この画像形成装置は、静電像担持体である感光体ドラム1が矢印方向に回転してその表面が、帯電装置2のコロナ放電により一様に例えば正極性に帯電され、図示しないレーザー光学系等の露光装置により、原稿の画像情報に対応する光像3が照射され、露光を受けた部分の電位が低下し、感光体ドラム1面上に静電像が形成される。現像装置4で、この静電像の電位低下部分に、現像ローラ5を介して供給される正極性に帯電されたトナーを静電吸着させることによって、いわゆる反転現像が行われ、トナー像が形成される。このトナー像は、図示しない転写装置によって転写紙に転写され、一方、感光体ドラム1面上にわずかに残ったトナーは図示しないクリーニング装置によって除去される。この画像形成装置において、感光体ドラム1表面上の帯電装置2に対向する位置から現静電像担持体である現像ローラ5に対向する位置までの領域 θ_1 は、画像形成動作開始時には帯電装置2による帯電が行われなくて、現像ローラ5との対向位置を通過する。従って、この不帯電領域 θ_1 が現像ローラ5との対向位置を通過する間、現像ローラ5に通常の画像形成時の現像バイアス電圧（以下、正極性バイアスという）が印加されると、不帯電領域 θ_1 にトナーが付着してしまう。

【0004】 【従来技術1】 そこで、上記不具合を解決するために、図1(b)のタイミングチャートに「動作開始時」として示すように、感光体ドラム1の回転駆動A、帯電装置2の駆動B、現像ローラ5の回転駆動

(3)

特開平6-214442

3

C、及び現像バイアス印加装置6による現像ローラ5への現像バイアス電圧の印加Dを制御し、感光体ドラム1表面上の不帯電領域 θ_1 が現像ローラ5との対向位置を通過する間は、正極性バイアスは印加せず、例えば正極性バイアスとは逆極性の現像バイアス電圧（以下、逆極性バイアスという）を印加し、感光体ドラム1表面上の領域 θ_1 へのトナー付着を防止する方法が提案されている（例えば、特開昭61-290455号公報参照）。なお、図1(b)のタイミングチャート中の t_{θ_1} は不帯電領域 θ_1 が現像ローラ5と対向している期間を示す。また、A～Dの後に付した括弧内の符号は、図1(b)中の駆動対象部材の符号である。

【0005】図2は、高画質化のため現像装置4が複数、例えば2本の現像ローラ5、7を有する画像形成装置の概略構成図である。この画像形成装置の機構は、現像ローラ5、7を2本用い、かつ現像バイアス印加装置8、9を各現像ローラ5、7毎に設けている点のみが図1(b)の画像形成装置と異なる。従って、図2では図1に示す部材に相当する部材は同一符号を付して示す。なお、図2中、領域 θ_1 、 θ_2 はそれぞれ画像形成装置の動作開始時に帯電器2による帯電が行われずに各現像ローラ5、7を通過する領域を示す。このような画像形成装置においても、図1(a)の画像形成装置と同様に、不帯電領域 θ_1 、 θ_2 が各現像ローラ5、7を通過するときにトナー付着が生じる恐れがある。図3はこのトナー付着を防止するために、図2の画像形成装置に上記従来技術1を適用した場合のタイミングチャートである。図3中、Aは感光体ドラム1の回転駆動、Bは帯電装置2の駆動、Cは現像ローラ5の回転駆動、Dは現像ローラ5への現像バイアス電圧の印加、Eは現像ローラ7の回転駆動、Fは現像ローラ7への現像バイアス電圧の印加、のタイミングであり、 t_{θ_1} 、 t_{θ_2} は不帯電領域 θ_1 、 θ_2 が各現像ローラ5、7と対向している期間を示す。なお、A～Fの後に付した括弧内の符号は、図2中の駆動対象部材の符号である。

【0006】〔従来技術2〕図4(a)は、画像形成装置の動作開始時の感光体ドラム1表面へのトナー付着を防止する他の従来技術を採用した反転現像方式の画像形成装置の概略構成図である。この画像形成装置においては、帯電器2としてスコロトロン帯電器を用い、帯電電圧印加回路10によりその放電ワイヤに電圧を印加して駆動状態にあるときに、そのグリッド11の電圧を一定に維持するとともに、グリッド11とアース間の電圧を分圧して感光体ドラム1の導電性基体に印加する回路12が設けられている。具体的には、グリッド11とアース間に互いに逆向きのツェナーダイオードの対13、14を2組設け、導電性基体を両ツェナーダイオード対13、14間に接続している。例えばグリッド11よりのツェナーダイオード対13で900ボルト、アースよりのツェナーダイオード対14で100ボルトの電位が生じる

4

ようになっている。以上の点以外は図1の画像形成装置と同一の機構構成であり、図4(a)中では、図1

(a)に示す部材に相当する部材は同一符号で示している。図4(b)はその動作のタイミングチャートであり、Aは感光体ドラム1の回転駆動、Bは帯電装置2の駆動、Cは現像ローラ5の回転駆動、Dは現像ローラ5への現像バイアス電圧の印加、のタイミングである。また t_{θ_1} は画像形成装置の動作開始時の帯電器2駆動開始から、この駆動開始の際に帯電器2の直下にあった感光体ドラム1表面箇所が現像ローラ5に対向するまで期間であり、その長さは、図4(a)中の角度 θ_1 に相当する不帯電領域が現像ローラ5を通過する時間に等しい。なお、A～Dの後に付した括弧内の符号は、図4

(a)中の駆動対象部材の符号である。この画像形成においては、図4(b)のタイミングチャートに「動作開始時」として示すように、期間 t_{θ_1} に帯電器2を駆動して、帯電極性と同極性つまりトナーと同極性の所定の電圧を、回路12により感光体ドラム1の導電性基体に印加するので、画像形成装置の動作開始時に帯電器2による帯電が行われない感光体ドラム1表面部分へのトナー付着を防止できる。

【0007】〔従来技術3〕図5(a)は、画像形成装置の動作開始時の感光体ドラム1表面へのトナー付着を防止する更に他の従来技術を採用した反転現像方式の画像形成装置の概略構成図である。図5(a)中、符号15は現像ローラ5用の現像剤担持体駆動装置、符号16は、その回転駆動制御回路を示している。ここでも図1(b)の部材に相当する部材には同一の符号を付している。図5(b)は同現像装置の動作のタイミングチャートである。図5(b)中、Aは感光体ドラム1の回転駆動、Bは帯電装置2の駆動、Cは現像ローラ5の回転駆動、Dは現像ローラ5への現像バイアス電圧の印加、のタイミングである。また t_{θ_1} は画像形成装置の動作開始時の帯電器2の駆動開始から、この駆動開始の際に帯電器2の直下にあった感光体ドラム1表面箇所が現像ローラ5に対向するまで期間であり、その長さは、図5(a)中の角度 θ_1 に相当する領域が現像ローラ5を通過する時間に等しい。なお、A～Dの後に付した括弧内の符号は、図5(a)中の駆動対象部材の符号である。この画像形成においては、図5(b)のタイミングチャートに「動作開始時」として示すように、期間 t_{θ_1} が経過した後、つまり、画像形成装置の動作開始時に帯電器2による帯電が行われない領域 θ_1 が現像ローラ5を通過した後、現像ローラ5の回転を開始するので、画像形成装置の動作開始時に帯電器2による帯電が行われない感光体ドラム1表面部分へのトナー付着を防止できる。

【0008】

【発明が解決しようとする課題】ところが、従来技術1においては、現像バイアス印加装置6として正極性バイ

(4)

特開平6-214442

5

アスと逆極性バイアスとの2系統の出力を持つ必要があるため、現像バイアス印加装置6がコスト高になるという欠点があった。特に図2の装置のように現像ローラ5、7を複数用いる場合であって、各現像ローラ5、7用の現像バイアス印加装置8、9を同一の現像バイアス印加装置で構成する場合には、4系統の出力を持つ必要がありコスト高が顕著である。

【0009】また、従来技術2においては、図4(b)の動作開始時のタイミングチャートから判るように感光体ドラム1の駆動と、帯電器2の駆動による感光体ドラム1の導電性基体へのバイアス印加とを同時に開始しているため、感光体ドラム1の不帯電部分にトナー付着が生じる恐れが残されている。これは、帯電電圧印加回路10による帯電器2への電圧印加などにあたって、感光体ドラム1表面へのトナー付着を防止できる所定電位まで感光体ドラム1の電位が立上るのに所定の時間を要し、このバイアス立上りの期間中に感光体ドラム1の不帯電部分にトナーが付着するためである。

【0010】また、従来技術3においては、現像ローラ2の駆動を感光体ドラム1とは別に駆動制御するための機構(現像剤担持体駆動装置15)や制御手段(現像剤担持体回転制御回路16)を設ける必要があり、その分コスト高になるという欠点があった。

【0011】以上は画像形成装置の動作開始時における感光体ドラム1表面の不帯電部分へのトナー付着防止に関するものであるが、このような好ましくない感光体ドラム1表面へのトナー付着は、画像形成動作の終了時にも生じる恐れがある。すなわち、感光体ドラム1の回転速度変動による画像上のジターの発生を防止して高画質化を図るために、フライホイールなどにより感光体ドラム1の回転を安定化させる場合、フライホイールなどの装着によるイナーシャの増大によって、画像形成動作時の帯電器2の駆動及び感光体ドラム1の回転駆動を停止した後も所定時間だけ感光体ドラム1が回転しつづける。このため、例えば図1(b)のタイミングチャートに「動作終了時」として合わせて示すように、帯電器2の駆動を停止した後、感光体ドラム1表面の帯電領域の後端が現像ローラ5を通過した時点で感光体ドラム1の駆動を停止しても、感光体ドラム1の回転が完全に停止するまでには期間 t_{θ_3} を要する。図1(a)中に示す領域 θ_3 はこのイナーシャによる回転中に現像ローラ5を通過した領域である。この領域 θ_3 は帯電器2による帯電を受けていないので、現像ローラ5上のトナーが付着して、前述のトナーの無駄な消費等の不具合が生じる恐れがある。なお、図1(b)のタイミングチャートに示す例では、帯電器2の駆動停止から、所定時間 t_y (前述の領域 θ_1 が相当する感光体ドラム1表面部分が現像ローラを通過するのに要する時間以下)経過後に、現像バイアスの印加が停止されている。

【0012】そこで、画像形成動作終了時の上記不具合

6

を解決するために、画像形成装置の動作終了時に、図6のタイミングチャートに示すように、現像ローラ5への印加バイアスを、正極性バイアスから逆極性バイアスに切り換え、この逆極性バイアスの印加を上記領域 θ_3 が現像ローラ5を通過し終わるまで印加し続けることが考えられる。ここで、図6中のA~Dは図1(b)中のA~Dと同じ駆動部材のタイミングを示している。しかし、これにおいても、現像バイアス印加装置6として正極性バイアスと逆極性バイアスとの2系統の出力を持つ必要があるため、現像バイアス印加装置6がコスト高になるという欠点が伴う。

【0013】また、図4(a)に示す画像形成装置においては、動作終了時に、例えば図4(b)のタイミングチャート中に「動作終了時」として合わせて示すように、感光体ドラム1が完全に停止するまで、帯電器2の駆動を続けて、感光体ドラム1の導電性基体に所定電圧を印加し続けることにより、上記不具合を解決することも考えられる。しかし、これにおいては、感光体ドラム1の導電性基体にバイアスを印加するのに帯電器2自体を駆動し続ける必要があるため、帯電器2の駆動時間がその分長くなって、オゾン発生量の増大や、感光体ドラム1の負担増大による短寿命化という不具合が伴う。

【0014】また、図5に示す画像形成装置においては、動作終了時に、例えば図4(b)のタイミングチャート中に「動作終了時」として合わせて示すように、帯電器2の駆動が停止され帯電されていない感光体ドラム1表面部分が現像ローラ5に対向する前に現像ローラ5の回転を停止し、イナーシャにより帯電されていない感光体ドラム1表面の領域 θ_3 が現像ローラ5を通過するときには現像ローラ5が完全に停止しているようにすることも考えられる。しかし、これにおいても、現像ローラ2の駆動を感光体ドラム1とは別に駆動制御するための機構(現像剤担持体駆動装置15)や制御手段(現像剤担持体回転制御回路16)を設ける必要があり、その分コスト高になるという欠点が伴う。

【0015】本発明は以上の問題点に鑑みなされたものであり、その目的とするところは、コストの上昇や機構上の複雑化を招くことなく、画像形成動作開始時や画像形成動作終了時の静電像担持体表面上への無駄なトナー付着を防止し、トナーの浪費、装置内各部でのトナー汚染のない画像形成装置を提供することである。

【0016】

【課題を解決するための手段】上記の目的を達成するために、静電像担持体と、表面が無端移動するように該静電像担持体を駆動させる駆動装置と、該静電像担持体表面を一樣に帯電する帯電装置と、一樣帯電された該静電像担持体表面に選択露光により静電像を形成する露光装置と、該静電像を現像剤担持体を介して供給されるトナーによって現像する現像装置と、該現像剤担持体に現像バイアス電圧を印加する現像バイアス印加手段とを備え

(5)

特開平6-214442

7

た画像形成装置において、該静電像担持体の導電性基体に所定電圧を印加する電圧印加手段と、装置の動作開始にあたって、該電圧印加手段による電圧印加を開始させて該静電像担持体が所定電位になった後に、該静電像担持体の駆動を開始させるように、該電圧印加装置及び該駆動装置を制御する制御手段とを設けたことを特徴とするのである。

【0017】請求項2の発明は、請求項1の画像形成装置において、上記現像装置として、上記現像剤担持体上でキャリアを用いてトナーを搬送する二成分現像装置を用い、かつ、トナーが所定方向に搬送されるように上記現像剤担持体を駆動する現像剤担持体駆動装置と、上記現像バイアス印加手段により印加される現像バイアスが予め定められた値まで上昇した後に、該現像剤担持体がトナー搬送を開始するように、該現像剤担持体駆動装置及び現像バイアス印加手段を制御する制御手段とを設けたことを特徴とするものである。

【0018】請求項3の発明は、静電像担持体と、表面が無端移動するように該静電像担持体を駆動させる駆動装置と、該静電像担持体表面を一様に帯電する帯電装置と、一様帯電された該静電像担持体表面に選択露光により静電像を形成する露光装置と、該静電像を現像剤担持体を介して供給されるトナーによって現像する現像装置と、該現像剤担持体に現像バイアス電圧を印加する現像バイアス印加手段とを備えた画像形成装置において、該静電像担持体の導電性基体に所定電圧を印加する電圧印加手段と、装置の動作終了にあたって、該静電像担持体の表面移動が停止した後に、該電圧印加手段による電圧印加を停止させるように、該電圧印加装置及び該駆動装置を制御する制御手段とを設けたことを特徴とするので

【0019】請求項4の発明は、請求項3の画像形成装置において、上記現像装置として、上記現像剤担持体上でキャリアを用いてトナーを搬送する二成分現像装置を用い、かつ、トナーが所定方向に搬送されるように上記現像剤担持体を駆動する現像剤担持体駆動装置と、現像剤担持体の駆動を停止させトナー搬送が停止した後に、上記現像バイアス印加手段による現像バイアスの印加を停止させるように、該現像剤担持体駆動装置及び現像バイアス印加手段を制御する制御手段とを設けたことを特徴とするのである。

【0020】請求項5の発明は、請求項1又は3の画像形成装置において、上記電圧印加手段を、帯電装置や現像剤担持体などの他の電圧印加対象用の電源と、該電源からの供給電圧を分圧して上記静電像担持体の導電性基体に供給する分圧回路とで構成したことを特徴とするものである。

【0021】請求項6の発明は、請求項5の画像形成装置において、上記他の電圧印加対象用の電源として、スコロトン帯電器のグリッド用電源を用いたことを特徴

8

とするものである。

【0022】

【作用】請求項1の発明においては、制御手段により、装置の動作開始にあたって、該静電像担持体の導電性基体に所定電圧を印加する電圧印加手段による電圧印加を開始させて該静電像担持体が所定電位になった後に、該静電像担持体の駆動を開始させるように、該電圧印加装置及び静電像担持体を駆動させる駆動装置を制御し、これにより、装置の動作開始時に潜像担持体の表面が移動し始めた時点では、該表面と現像担持体表面との間に、トナーが該表面に付着しない所定の電位差を形成させて、潜像担持体表面へのトナー付着を防止する。

【0023】請求項2の発明においては、制御手段により、上記現像バイアス印加手段で現像剤担持体に印加される現像バイアスが予め定められた値まで上昇した後に、該現像剤担持体がトナー搬送を開始するように、トナーが所定方向に搬送されるように上記現像剤担持体を駆動する現像剤担持体駆動装置及び現像バイアス印加手段を制御し、これにより、現像剤担持体によるトナー搬送開始時の潜像担持体表面へのキャリア付着を防止する。すなわち、装置の動作開始時に現像剤担持体に現像バイアスを印加する際、現像バイアス印加手段の特性により現像バイアスの立上りは、例えば図7(a)中にDで示すように傾きを持つ。この現像バイアスの立上りの期間 t_x であって、潜像担持体表面に付着しないように現像剤担持体上にキャリアを保持できる電位まで立ち上がる前に、現像剤担持体がトナー搬送、つまりキャリアの搬送を開始すると、キャリアが潜像担持体表面に付着し、画像形成装置内の各部を汚染したり、クリーニング装置のクリーニング不良の原因となる負荷を与えるとの不具合が生じる。特に、現像バイアス印加手段の回路のコストダウンをした場合に、現像バイアスの立上りの傾きやタイミングにばらつきが生じ上記不具合発生が顕著になる。従って、本発明のように、上記現像バイアス印加手段で現像剤担持体に印加される現像バイアスが予め定められた値まで上昇した後に、該現像剤担持体がトナー搬送を開始するようにすることにより、この潜像担持体へのキャリア付着を防止できる。なお、図7(a)中、Aは潜像担持体(例えば図1(b)中の感光体ドラム1)の回転駆動、Bは帯電装置(例えば図1(b)中の帯電装置2)の駆動の、タイミングを示す。また t_{θ_1} は装置の動作開始時の不帯電領域(例えば図1(b)の不帯電領域 θ_1) が現像剤担持体を通過している期間を示す。

【0024】請求項3の発明においては、制御手段により、装置の動作終了にあたって、該静電像担持体の表面移動が停止した後に、静電像担持体の導電性基体に所定電圧を印加する電圧印加手段による電圧印加を停止させるように、該電圧印加装置及び該駆動装置を制御し、これにより、装置の動作終了時に潜像担持体の表面が移動

(6)

特開平6-214442

9

10

停止するまで、該表面と現像担持体表面との間に、トナーが該表面に付着しない所定の電位差を形成させて、潜像担持体表面へのトナー付着を防止する。

【0025】請求項4の発明においては、制御手段により、トナーが所定方向に搬送されるように上記現像剤担持体を駆動する現像剤担持体駆動装置による駆動を停止させた後に、上記現像バイアス印加手段による現像バイアスの印加を停止させるように、該現像剤担持体駆動装置及び現像バイアス印加手段を制御し、これにより、現像剤担持体によるトナー搬送開始時の潜像担持体表面へのキャリア付着を防止する。すなわち、装置の動作終了時に現像剤担持体への現像バイアスの印加を停止させる際、現像バイアス印加手段の特性により現像バイアスの立下りは、例えば図7(b)中にDで示すように傾きを持つ。この現像バイアスの立下りの期間であって、潜像担持体表面に付着しないように現像剤担持体上にキャリアを保持できる電位まで立ち下がった後も、現像剤担持体がトナー搬送、つまりキャリアの搬送を継続していると、キャリアが潜像担持体表面に付着し、画像形成装置内の各部を汚染したり、クリーニング装置のクリーニング不良の原因となる負荷を与えるとの不具合が生じる。特に、現像バイアス印加手段の回路のコストダウンをした場合に、現像バイアスの立下りの傾きやタイミングにばらつきが生じ上記不具合発生が顕著になる。従って、本発明のように、現像剤担持体の駆動を停止させトナー搬送が停止した後に、上記現像バイアス印加手段による現像バイアスの印加を停止させるようにすることにより、この潜像担持体へのキャリア付着を防止できる。なお、図7(b)中、Aは潜像担持体(例えば図1(b)中の感光体ドラム1)の回転駆動、Bは帯電装置(例えば図1(b)中の帯電装置2)の駆動の、タイミングを示す。

【0026】請求項5の発明においては、請求項1又は3の画像形成装置の上記電圧印加手段を、帯電装置や現像剤担持体などの他の電圧印加対象用の電源と、該電源からの供給電圧を分圧して上記静電像担持体の導電性基体に供給する分圧回路とで構成し、これにより、潜像担持体の導電性基体への電圧印加用に該電圧印加対象用の電源を兼用する。

【0027】請求項6の発明においては、請求項5の画像形成装置の上記他の電圧印加対象用の電源として、スコロトン帯電器のグリッド用電源を用い、これにより、潜像担持体の導電性基体への電圧印加用にスコロトン帯電器のグリッド用電源を兼用する。

【0028】

【実施例】

【実施例1】図8に用いて本発明の一実施例について説明する。図8(a)はその概略構成図、図8(b)は動作のタイミングチャートである。本実施例の画像形成装置は、前述の図4(a)の画像形成装置と同様に、動作

開始時の感光体ドラム1表面へのトナー付着を防止するために、動作開始時に感光体ドラム1の導電性基体にトナー付着防止用のバイアスを印加するものである。図8(a)において、機構的に図4(a)の装置と異なる点は、スコロトン方式の帯電装置2の帯電グリッド11及び感光体ドラム1の導電性基体にバイアスを印加するのに、図4(a)の装置では、帯電電圧印加回路10によりその放電ワイヤに電圧を印加して駆動状態にあるときに、そのグリッド11の電圧を一定に維持するとともに、グリッド11とアース間の電圧を分圧して感光体ドラム1の導電性基体に印加する回路12を設けたのに対し、本実施例では、帯電グリッド11及び感光体ドラム1の導電性基体それぞれに、帯電グリッドバイアス印加回路17、静電像担持体バイアス印加回路を設けている点のみである。これ以外は図4(a)の画像形成装置と同一の機構成であり、図8(a)中では、図4(a)に示す部材に相当する部材は同一符号で示している。

【0029】図8(b)において、Aは帯電グリッドバイアス印加回路17の駆動、Bは静電像担持体バイアス印加回路18の駆動、Cは帯電装置2の駆動、Dは感光体ドラム1の回転駆動、Eは露光装置3の駆動、のタイミングである。動作開始にあたっては、タイミングチャート中に「動作開始時」として示すように、まず静電像担持体バイアス印加回路18の駆動を開始して、静電像担持体バイアスが所定の電位圧になった後に、感光体ドラム1の回転を開始する。帯電グリッドバイアス印加回路17の駆動(A)及び帯電装置2の駆動(C)の開始は、露光開始よりも、帯電装置2から露光装置3による露光位置までの感光体ドラム1の移動時間 t_{θ_5} 以上前に行われる。以上の動作開始時の制御によれば、感光体ドラム1上の帯電及び露光が行われる画像領域よりも上流側の非現像領域が現像ローラ5と対向する間にも、感光体ドラム1に所定電圧が印加されているので、現像ローラ5と一定の電位差を持ち、感光体ドラム1表面にトナーがほとんど移動しない。なお、現像ローラ5の回転開始及び現像バイアスの印加開始のタイミングは任意であり、例えば感光体ドラム1の回転駆動開始と同時に現像ローラ5の回転駆動を開始しても良い。これによれば、現像ローラ5を感光体ドラム1とは別のタイミングで回転駆動するための駆動装置やタイミング制御を行う必要がない。但し、動作開始時の感光体ドラム1表面へのトナー付着を完全に防止するには、前述の図5の装置のような、少なくとも現像ローラの回転を、不帯電領域が現像ローラ5との対向部を通過してから開始することが望ましい。また、この感光体ドラム1の導電性基体へのバイアス印加は、動作終了まで継続して良い。

【0030】そして、動作終了にあたっては、同タイミングチャート中に「動作終了時」として示すように、感光体ドラムの回転駆動(D)を停止し、イナーシャープの予定回転時間 t_{θ_3} が経過した後、静電像担持体バ

(7)

特開平6-214442

11

12

イアス印加回路18の駆動を停止する。帯電グリッドバイアス印加回路17の駆動(A)及び帯電装置2の駆動(C)の停止は、画像形成領域が帯電装置2の対向部を通過した後に行われる。以上の動作終了時の制御によれば、感光体ドラム1の回転が完全に停止するまで、感光体ドラム1の導電性基体にバイアスが印加されるため、現像ローラ2と一定の電位差を持ち、感光体ドラム1表面にトナーがほとんど移動しない。この動作終了時にも、現像ローラ5の回転開始及び現像バイアスの印加開始のタイミングは任意であり、例えば感光体ドラム1の回転駆動停止と同時に現像ローラ5の回転駆動を停止しても良いが、動作終了時の感光体ドラム1表面へのトナー付着を完全に防止するには、前述の図5(b)のタイミングチャートに示すように、少なくとも現像ローラの回転駆動を、画像領域が現像ローラ5との対向部を通過した直後に停止することが望ましい。

【0031】ここで、本実施例の動作開始時や動作終了時の感光体ドラム1表面へのトナー付着防止効果を確認した結果を説明する。比較のため、感光体ドラム1の導電性基体へのバイアス印加を行わずに面積率6%の原稿を用いて複写を行った場合には、原稿1枚当りのトナー消費量は53.9mg/枚であり、1枚当りの廃トナー回収量は34.5mg/枚であった。次に、動作開始時に感光体ドラム1の導電性基体へのバイアス印加を行って所定バイアスになってから感光体ドラム1の回転駆動を開始するようにして面積率6%の原稿を用いて複写を行った場合には、原稿1枚当りのトナー消費量は32.9mg/枚であり、1枚当りの廃トナー回収量は13.6mg/枚であった。これにより上記場合よりも1枚当りのトナー消費量で約39%、1枚当りの廃トナー回収量で約60%軽減できた。また、動作終了時に感光体ドラム1の回転駆動を停止してその回転が完全に停止した後(例えば感光体ドラム1の回転安定化のためフライホイールを装着した場合、駆動停止から1秒後に完全停止)に、感光体ドラム1の導電性基体へのバイアス印加を停止した場合には、原稿1枚当りのトナー消費量は45.0mg/枚であり、1枚当りの廃トナー回収量は25.6mg/枚であった。これにより上記場合よりも1枚当りのトナー消費量で約17%、1枚当りの廃トナー回収量で約26%軽減できた。更に、上記動作開始時と動作停止時の感光体ドラム1の導電性基体へのバイアス印加及び停止の両方を行って、面積率6%の原稿を用いて複写を行った場合には、原稿1枚当りのトナー消費量は24.0mg/枚であり、1枚当りの廃トナー回収量は4.7mg/枚であった。これにより上記場合よりも1枚当りのトナー消費量で約55%、1枚当りの廃トナー回収量で約86%軽減できた。

【0032】〔実施例2〕次に、図9及び図10を用いて本発明の他の実施例について説明する。図9(a)はその概略構成図、図10は同画像形成装置の動作のタイ

ミングチャート。本実施例の画像形成装置は、実施例1の画像形成装置と同様に、動作開始時の感光体ドラム1表面へのトナー付着を防止するために、動作開始時に感光体ドラム1の導電性基体にトナー付着防止用のバイアスを印加するものであり、このために、帯電グリッド11及び感光体ドラム1の導電性基体それぞれに、帯電グリッドバイアス印加回路17、静電像担持体バイアス印加回路を設けている。図9(a)において、機構的に図8(a)の装置と異なる点は、現像ローラ2の駆動を感光体ドラム1とは別に駆動制御するための機構(現像剤担持体駆動装置15)や制御手段(現像剤担持体回転制御回路16)を設けている点のみである。これ以外は図8(a)の画像形成装置と同一の機構構成であり、図9(a)中では、図8(a)に示す部材に相当する部材は同一符号で示している。なお、図9(a)中の符号22は現像バイアス印加装置の印加電圧制御回路、符号21はこの印加電圧制御回路及び上記駆動制御回路20を制御する本体制御回路を示す。

【0033】図10において、A~Eは、上記実施例1の動作のタイミングチャートである図8(b)と同一の駆動部材を示すし、その動作も同一である。そして、本実施例では、図10中に示すように、現像バイアス印加装置6による現像ローラ5への現像バイアス電圧の印加のタイミングFと、現像ローラ2の回転駆動のタイミングGを次のように設定している。すなわち、動作開始にあたっては、露光装置3の露光が開始された後であって、露光された感光体ドラム1表面領域の前端が現像ローラ2の対向部まで移動してくる以前に、現像ローラ2の回転駆動(G)を開始する。ここで、この露光開始から現像ローラ2回転開始までの期間 t_{z1} は、感光体ドラム1へのトナー付着を完全に防止できる。そして、この現像ローラ2の回転駆動開始に先立ち、現像ローラ2の回転開始の際に所定現像バイアスに立ち上がるようにタイミングで現像ローラ2への現像バイアスの印加

(F)を開始しておく。これは、現像ローラの回転によっても表面にキャリアを保持できる程度の電位まで現像バイアスが立ち上がる前に現像ローラの回転が開始されることによる感光体ドラム1表面へのキャリア付着を防止するためである。例えば図9(b)に本実施例装置の現像バイアスと感光体ドラム1表面へのキャリア付着量との関係の特性図から判るように、キャリア付着を防止するには、マイナス600ボルトの現像バイアスが必要である。一方、現像バイアスは図11(b)に立上り特性を示すように、マイナス600ボルトまで立ち上がるのに、0.1秒弱かかり、更に本実施例の現像中の現像バイアスはマイナス800ボルトであり、ここまで立ち上がるには、約0.15秒かかる。そこで、図11

(a)に拡大して示すように、現像バイアスが所定電位まで立ち上がった後に現像ローラ2の回転駆動(G)を開始するのである。なお、現像バイアス印加装置の回路

(8)

特開平 6 - 2 1 4 4 4 2

13

のコストダウンを図る場合には、図 1 1 (a) 中の現像バイアス立上りの傾きやタイミングにばらつきが生じやすくなるので、このようなばらつきを考慮して、現像バイアスの印加開始及び現像ローラ 2 回転駆動開始のタイミングを設定する。例えば現像バイアス印加装置 6 の起動から 0. 1 秒後に現像ローラ 2 の回転駆動を開始するように設定する。以上の動作開始時の制御によれば、上記実施例 1 と同様に感光体ドラム 1 上の帯電及び露光が行われる画像領域よりも上流側の非現像領域が現像ローラ 5 と対向する間にも、感光体ドラム 1 に所定電圧が印加されることから、現像ローラ 5 と一定の電位差を持ち、感光体ドラム 1 表面にトナーがほとんど移動しないばかりでなく、現像ローラ 2 の回転駆動開始を露光開始などから遅らす分だけ、トナー付着をより完全に防止でき、更に、現像バイアスの立上り時間を考慮して現像ローラの回転駆動を開始することで、感光体ドラム 1 表面へのキャリア付着も防止できる。

【0034】そして、動作終了にあたっては、図 1 0 のタイミングチャート中に「動作終了時」として示すように、露光装置 3 の露光終了後であって、露光された感光体ドラム表面領域の後端が現像ローラ 2 の対向部を通過した後に現像ローラ 2 の回転駆動 (G) を停止する。この現像ローラ 2 の回転駆動の停止から現像ローラ 2 の回転が完全に停止するまでには、例えば図 1 1 (c) に示すように、約 0. 4 秒を要する。この 0. 4 秒が経過して現像ローラ 2 の回転が完全に停止した後に、現像バイアスの印加 (F) を停止する。以上の動作終了時の制御によれば、上記実施例 1 と同様に感光体ドラム 1 の回転が完全に停止するまで、感光体ドラム 1 の導電性基体にバイアスが印加され、現像ローラ 2 と一定の電位差を持ち、感光体ドラム 1 表面にトナーがほとんど移動しないばかりでなく、現像ローラ 2 の回転が停止した後に、現像バイアスの印加を停止するので、感光体ドラム 1 表面へのキャリア付着も防止できる。

【0035】〔実施例 3〕次に、図 1 2 を用いて本発明の更に他の実施例について説明する。図 1 2 (a) はその概略構成図、図 1 2 (b) は同画像形成装置の動作のタイミングチャート。本実施例の画像形成装置は、実施例 1 の画像形成装置と同様に、動作開始時の感光体ドラム 1 表面へのトナー付着を防止するために、動作開始時に感光体ドラム 1 の導電性基体にトナー付着防止用のバイアスを印加するものである。但し、本実施例においては、帯電グリッド 1 1 用の帯電グリッドバイアス印加回路 1 7 を、感光体ドラム 1 の導電性基体へのバイアス印加に兼用している。このために、帯電グリッド 1 1 とアース間の電圧を分圧して感光体ドラム 1 の導電性基体に印加する回路 2 3 が設けられている。具体的には、グリッド 1 1 とアース間に帯電グリッドバイアス印加回路 1 7 と並列に一組みの抵抗 2 4、2 5 設け、感光体ドラム 1 の導電性基体を両抵抗 2 4、2 5 間に接続している。

14

以上の点以外は図 8 の画像形成装置と同一の機構構成であり、図 1 2 (a) 中では、図 8 (a) に示す部材に相当する部材は同一符号で示している。本実施例によれば、図 8 (a) において、帯電グリッドバイアス印加回路 1 7 及び静電像担持体バイアス印加回路 1 8 として 2 個の電源を用いてのと異なり、1 個の電源で帯電グリッド 1 1 と感光体ドラム 1 の導電性基体にバイアスを印加できるので、小型化、低コスト化を図れる。なお、図示の例の場合には、図 1 2 (b) のように、感光体ドラム 1 の導電性基体へのバイアス印加 (B) に合わせて、帯電グリッド 1 1 へのバイアス印加 (a) のオン・オフを行う必要があるが、帯電グリッド 1 1 が不必要な時期にも所定電位にされてしまうだけで、特に副作用は生じない。ここでも図 1 2 (b) 中の C ~ D は上記実施例 1 の動作のタイミングチャートである図 8 (b) と同一の駆動部材を示すし、その動作も同一である。

【0036】以上本発明の各実施例によれば、動作開始時に、感光体ドラム 1 上の帯電及び露光が行われる画像領域よりも上流側の非現像領域が現像ローラ 5 と対向する間にも、感光体ドラム 1 に所定電圧が印加され、また、動作終了時の制御によれば、感光体ドラム 1 の回転が完全に停止するまで、感光体ドラム 1 の導電性基体にバイアスが印加されるため、感光体ドラム 1 と現像ローラ 5 とが一定の電位差を持ち、感光体ドラム 1 表面にトナーがほとんど移動しない。従って、感光体ドラム 1 への無駄なトナー付着による、トナーの浪費、装置内各部でのトナー汚染などを防止できる。

【0037】なお、本実施例では、露光後の感光体ドラム 1 面上の静電像において表面電位が低下した部分にトナーを付着させる反転現像方式の場合を例示したが、本発明は反転現像方式に限定されるものでなく、露光後の感光体ドラム 1 面上の静電像において表面電位が低下していない部分にトナーを付着させる正規現像方式等の他の現像方式を採用した画像形成装置にも適用できるものである。例えば、正規現像方式における画像形成動作開始時では、まず、感光体ドラム 1 の導電性基体にトナーと同極性のバイアスを印加してこれが立ち上がったのちに、感光体ドラム 1 の回転を開始し、また、動作終了時にも感光体ドラム 1 の回転が完全に停止した後に、感光体ドラム 1 の導電性基体へのトナーと同極性のバイアス印加を停止し、これにより、感光体ドラム 1 表面の不帯電量域にトナーが付着するのを防止できる。なお、この感光体ドラム 1 の導電性基体へのトナーと同極性のバイアス印加は、露光や現像中には停止し、例えば感光体ドラム 1 の導電性基体をアースするようにしても良い。

【0038】また、上記実施例 2 の画像形成装置で、画像形成動作開始時において、現像ローラ 5 への現像バイアス電圧の印加開始から現像ローラ 5 の回転駆動の開始までの時間を 0. 1 秒に、画像形成動作終了時において、現像ローラ 5 の回転駆動停止から現像ローラ 5 への

(9)

特開平 6 - 2 1 4 4 4 2

15

現像バイアス電圧の印加停止までの時間を 1 秒に設定しているが、これらの時間設定値は絶対的な値ではなく、現像バイアス印加装置 6 や駆動モータなどの種類に応じて変わってくる相対的な値であり、適宜適した設定値を用いることができる。

【0039】また、実施例 1 や 2 では、画像形成動作開始時に静電像担持体印加バイアスや現像バイアス電圧が予め設定した値になった時点、及び画像形成動作終了時に感光体ドラム 1 や現像ローラ 5 が完全に停止した時点、を、それぞれ予め設定した設定時間値が経過したかどうかで判断しているが、それぞれ、現像バイアス電圧の立ち上がり及び感光体ドラムの回転をモニターして判断するようにしても良い。

【0040】

【発明の効果】請求項 1 の発明によれば、装置の動作開始にあたって、該静電像担持体の導電性基体に所定電圧を印加する電圧印加手段による電圧印加を開始させて該静電像担持体が所定電位になった後に、該静電像担持体の駆動を開始させ、これにより、装置の動作開始時に潜像担持体の表面が移動し始めた時点では、該表面と現像担持体表面との間に、トナーが該表面に付着しない所定の電位差を形成させて、潜像担持体表面へのトナー付着を防止するので、動作開始時の静電像担持体表面上への無駄なトナー付着による、トナーの浪費、装置内各部でのトナー汚染のない画像形成装置を提供できる。

【0041】請求項 2 の発明によれば、上記現像バイアス印加手段で現像剤担持体に印加される現像バイアスが予め定められた値まで上昇した後に、該現像剤担持体がトナー搬送を開始せよ、これにより、現像剤担持体によるトナー搬送開始時の潜像担持体表面へのキャリア付着を防止するので、現像剤担持体の駆動開始時の潜像担持体表面へのキャリア付着による、画像形成装置内の各部の汚染、クリーニング装置のクリーニング不良、潜像担持体表面の損傷などのない画像形成装置を提供できる。

【0042】請求項 3 の発明によれば、装置の動作終了にあたって、該静電像担持体の表面移動が停止した後に、静電像担持体の導電性基体に所定電圧を印加する電圧印加手段による電圧印加を停止させ、これにより、装置の動作終了時に潜像担持体の表面が移動停止するまで、該表面と現像担持体表面との間に、トナーが該表面に付着しない所定の電位差を形成させて、潜像担持体表面へのトナー付着を防止するので、動作終了時の静電像担持体表面上への無駄なトナー付着による、トナーの浪費、装置内各部でのトナー汚染のない画像形成装置を提供できる。

【0043】請求項 4 の発明によれば、トナーが所定方向に搬送されるように上記現像剤担持体を駆動する現像剤担持体駆動装置による駆動を停止させた後に、上記現像バイアス印加手段による現像バイアスの印加を停止させ、これにより、現像剤担持体によるトナー搬送開始時

16

の潜像担持体表面へのキャリア付着を防止するので、現像剤担持体への現像バイアス印加停止時の潜像担持体表面へのキャリア付着による、画像形成装置内の各部の汚染、クリーニング装置のクリーニング不良、潜像担持体表面の損傷などのない画像形成装置を提供できる。

【0044】請求項 5 の発明によれば、請求項 1 又は 3 の画像形成装置における、潜像担持体の導電性基体への電圧印加用に該電圧印加対象用の電源を兼用するので、装置の大型化やコスト上昇を比較的抑えながら、動作開始時や動作終了時の静電像担持体表面上への無駄なトナー付着による、トナーの浪費、装置内各部でのトナー汚染のない画像形成装置を提供できる。

【0045】請求項 6 の発明によれば、潜像担持体の導電性基体への電圧印加用にスコロトロン帯電器のグリッド用電源を兼用するので、潜像担持体の導電性基体への電圧印加の開始・停止のために、グリッド用電源をオン・オフするのに伴ってスコロトロン帯電器のグリッドへの電圧印加が開始・停止されても、なんら不具合が生じない。従って、例えば、スコロトロン帯電器の放電ワイヤ用の電源を潜像担持体の導電性基体への電圧印加用に兼用する場合のような、オゾン発生量の増加や、感光体ドラム 1 の負担増大による短寿命化という不具合、又は、これらを防止するためのスイッチ回路（放電ワイヤ側と潜像担持体の導電性基体側とを独立にオン・オフするためのスイッチ回路）の追加によるコスト上昇を伴うことなく、動作開始時や動作終了時の静電像担持体表面上への無駄なトナー付着による、トナーの浪費、装置内各部でのトナー汚染のない画像形成装置を提供できる。

【図面の簡単な説明】

【図 1】 (a) は従来例に係る画像形成装置の概略構成図。(b) は同画像形成装置の動作のタイミングチャート。

【図 2】 他の従来例に係る画像形成装置の概略構成図。

【図 3】 同画像形成装置の動作のタイミングチャート。

【図 4】 (a) は更に他の従来例に係る画像形成装置の概略構成図。(b) は同画像形成装置の動作のタイミングチャート。

【図 5】 (a) は更に他の従来例に係る画像形成装置の概略構成図。(b) は同画像形成装置の動作のタイミングチャート。

【図 6】 一例に係る画像形成動作終了時における動作のタイミングチャート。

【図 7】 (a) は現像バイアス電圧の立ち上がりの傾きを説明するためのタイミングチャート。(b) は現像バイアス電圧の立ち下りの傾きを説明するためのタイミングチャート。

【図 8】 (a) は実施例に係る画像形成装置の概略構成図。(b) は同画像形成装置の動作のタイミングチャート。

【図 9】 (a) は他の実施例に係る画像形成装置の概略

(10)

特開平 6 - 2 1 4 4 4 2

17

構成図。(b)は同画像形成装置における現像バイアス電圧と感光体ドラムへのキャリア付着量との関係を示す特性図。

【図10】同画像形成装置の動作のタイミングチャート。

【図11】(a)は同画像形成装置の変形例に係る動作開始時のタイミングチャート。(b)は同画像形成装置の現像バイアス電圧の立ち上がりの傾きの特性図。

(c)は同画像形成装置の現像ローラの停止時の特性図。

【図12】(a)は更に他の実施例に係る画像形成装置の概略構成図。(b)は同画像形成装置の動作のタイミングチャート。

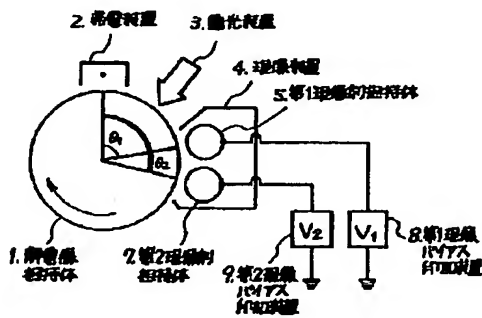
【符号の説明】

- 1 静電像担持体(感光体ドラム)
- 2 帯電装置
- 4 現像装置

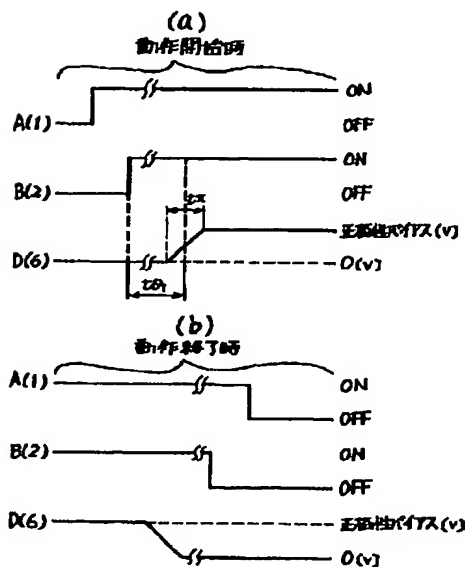
18

- 5 現像剤担持体(現像ローラ)
- 6 現像バイアス印加装置
- 7 第2現像剤担持体(現像ローラ)
- 8 第1現像バイアス印加装置
- 9 第2現像バイアス印加装置
- 10 帯電電圧印加回路
- 11 帯電グリッド
- 15 現像剤担持体駆動装置
- 16 現像剤担持体回転制御回路
- 17 帯電グリッドバイアス印加回路
- 18 静電像担持体バイアス印加回路
- 19 駆動モータ
- 20 駆動制御回路
- 21 本体制御回路
- 22 印加電圧制御回路
- 23 静電像担持体バイアス印加回路

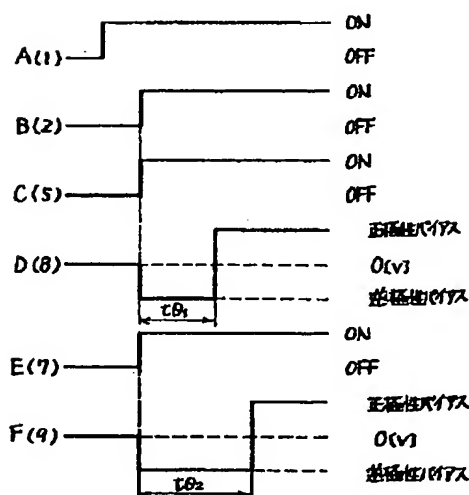
【図2】



【図7】



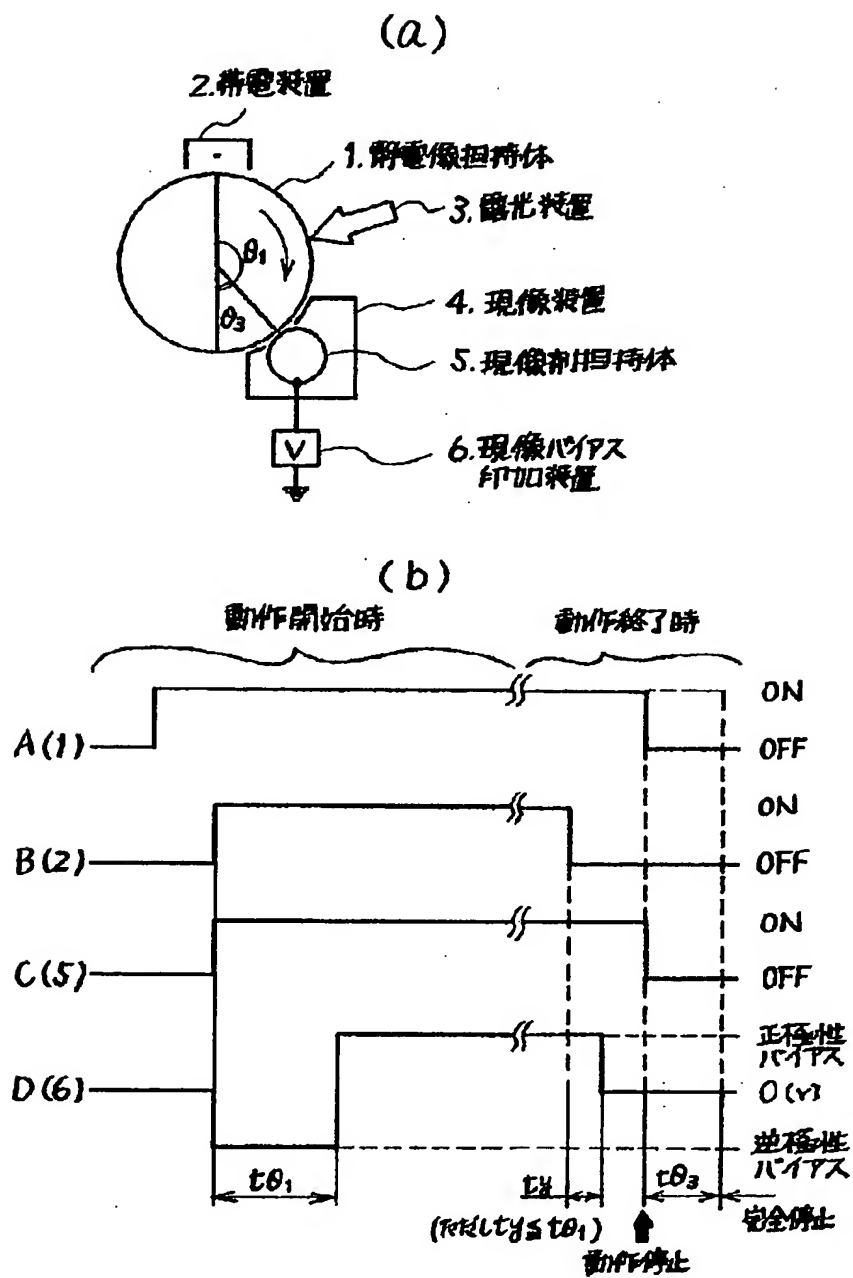
【図3】



(11)

特開平 6 - 2 1 4 4 4 2

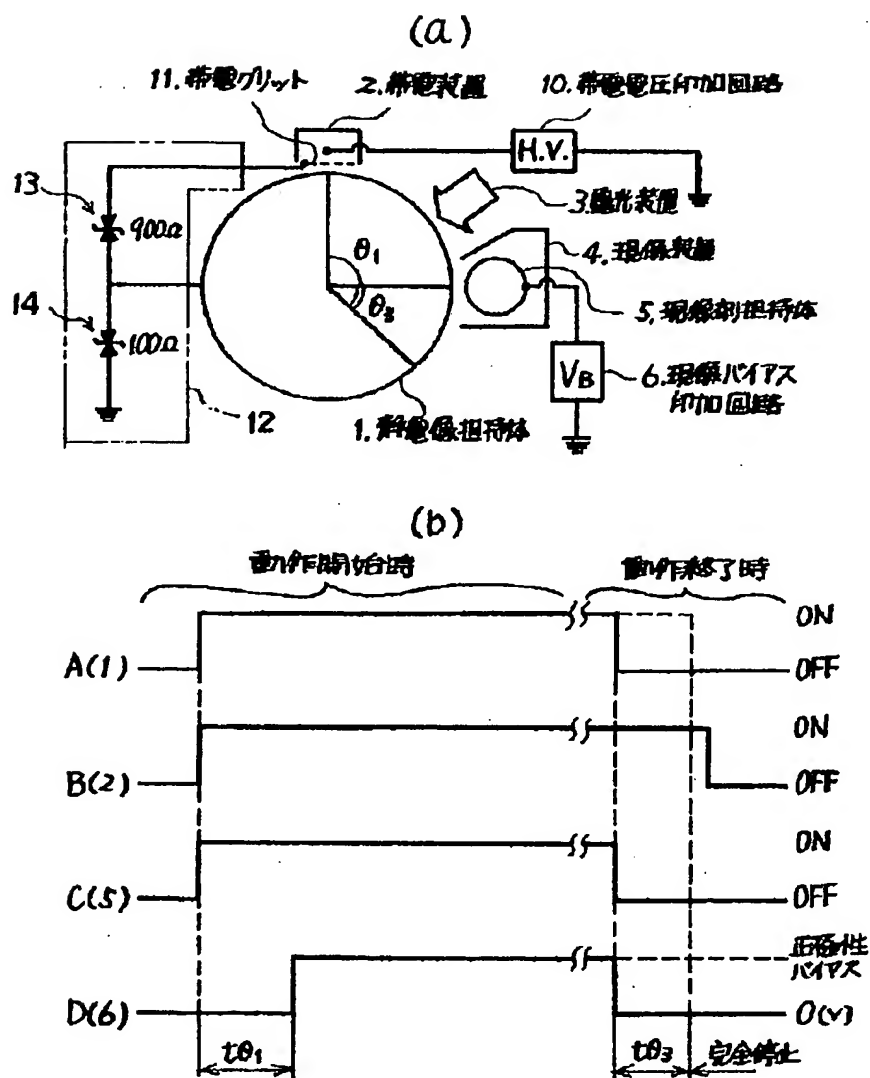
【図 1】



(12)

特開平 6 - 2 1 4 4 4 2

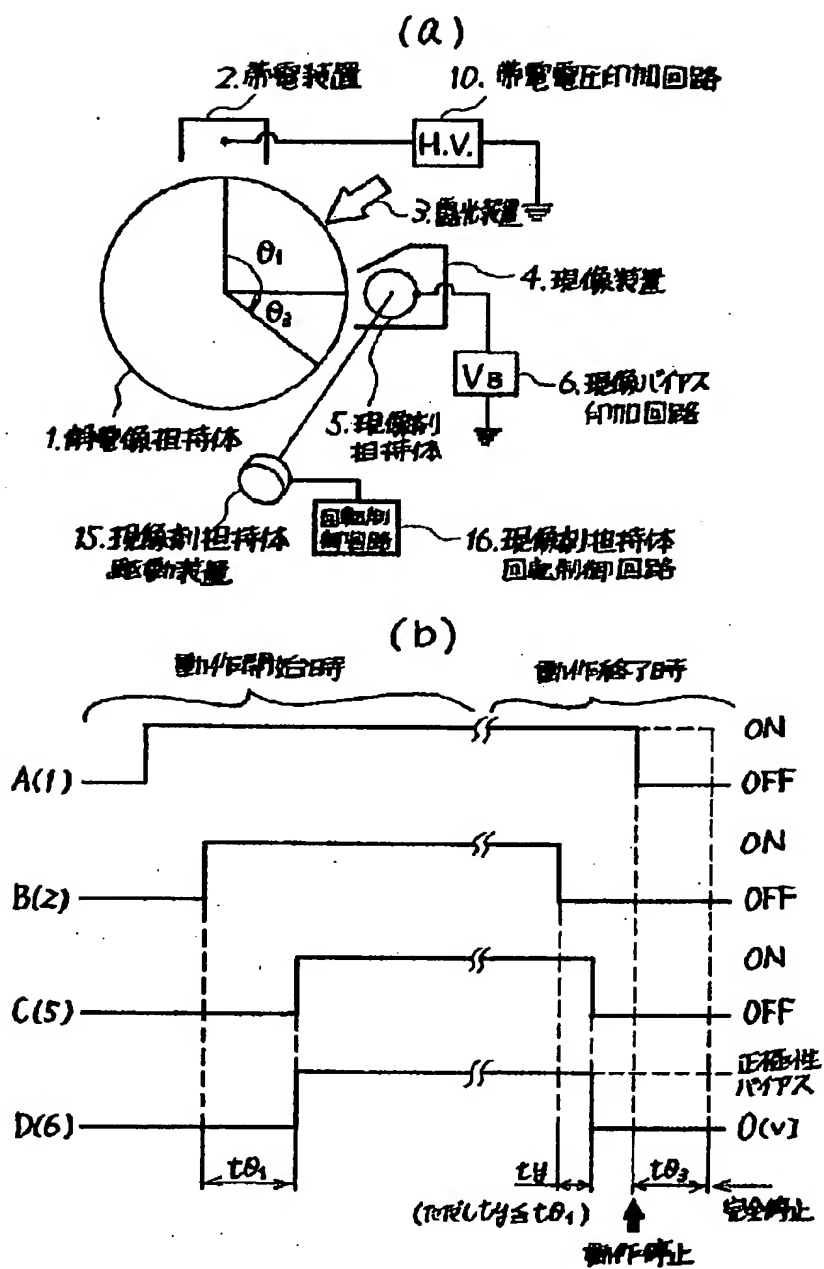
【図 4】



(13)

特開平6-214442

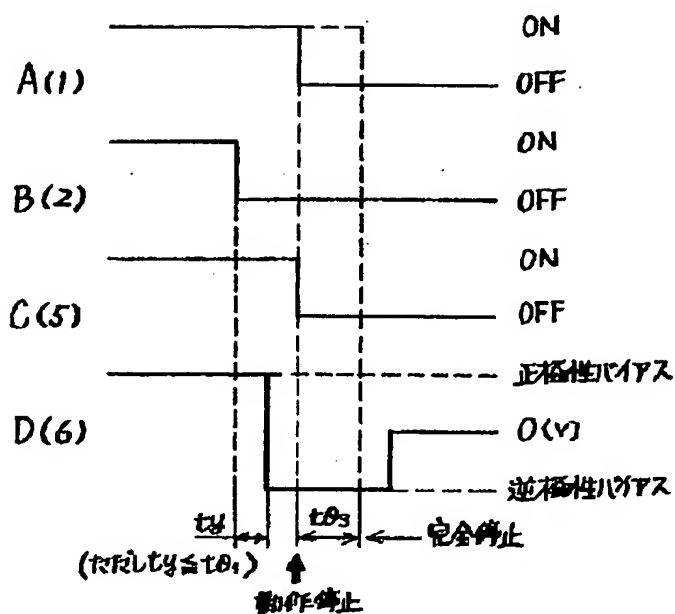
【図5】



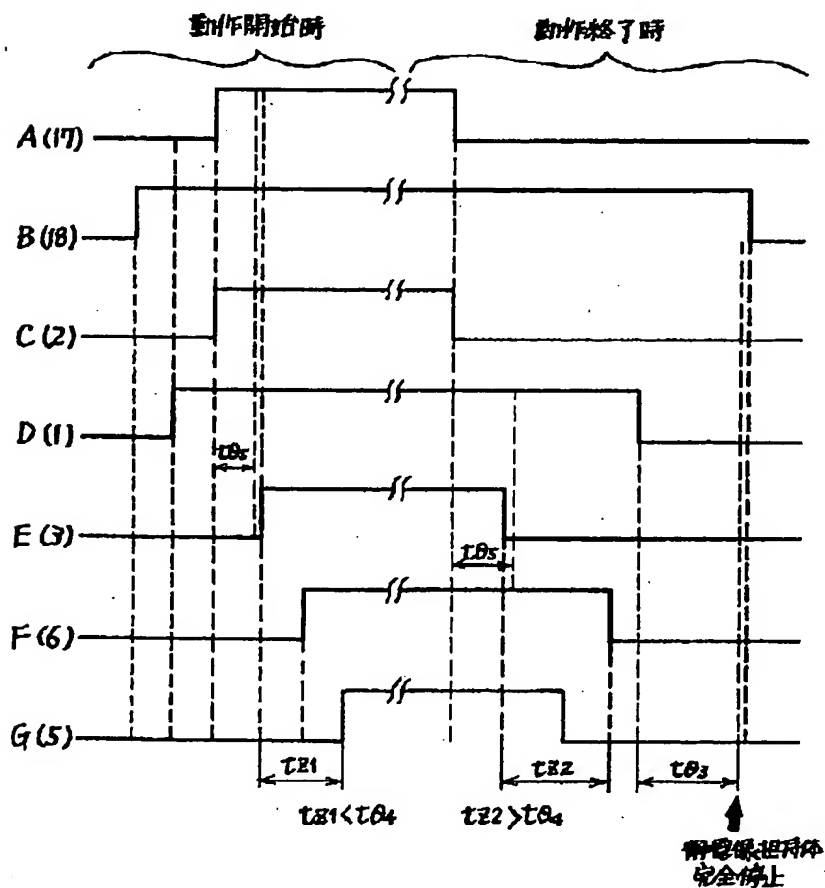
(14)

特開平 6 - 2 1 4 4 4 2

【図 6】



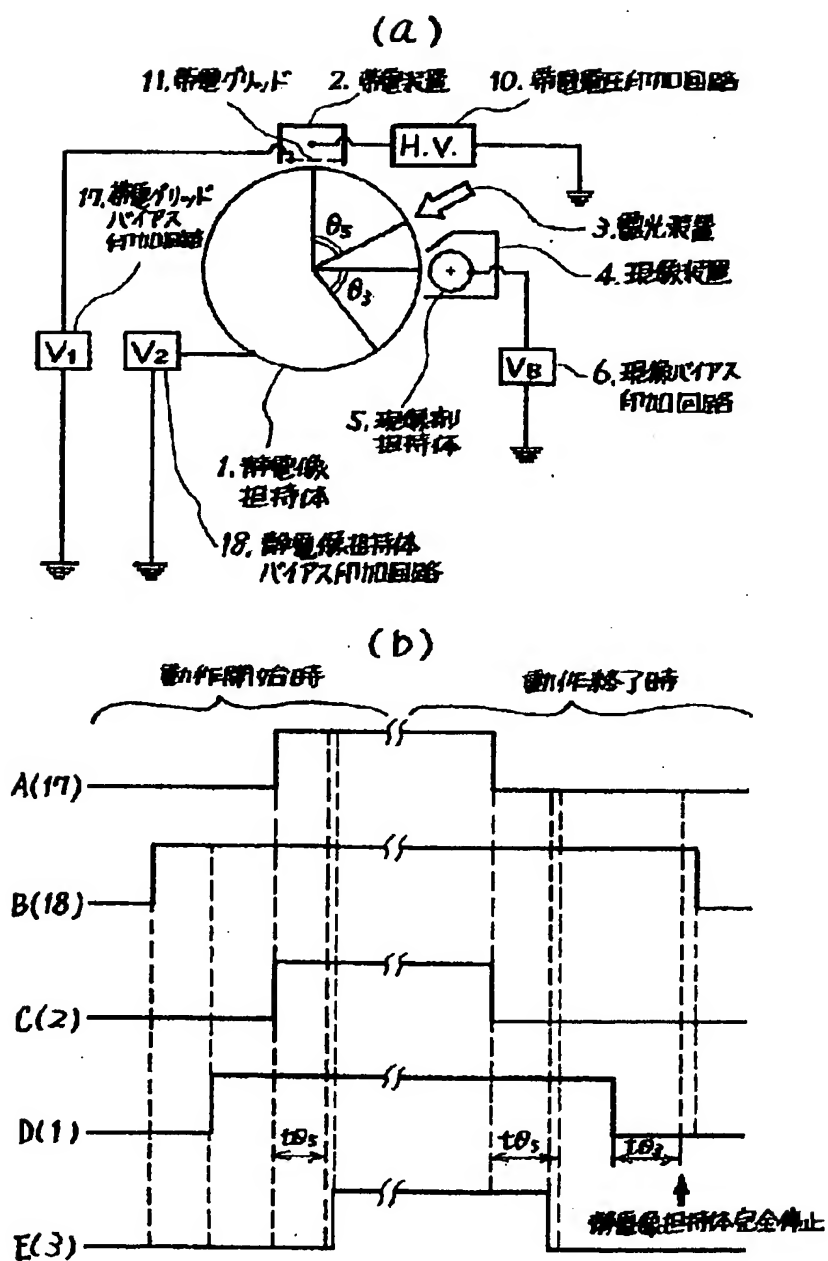
【図 10】



(15)

特開平6-214442

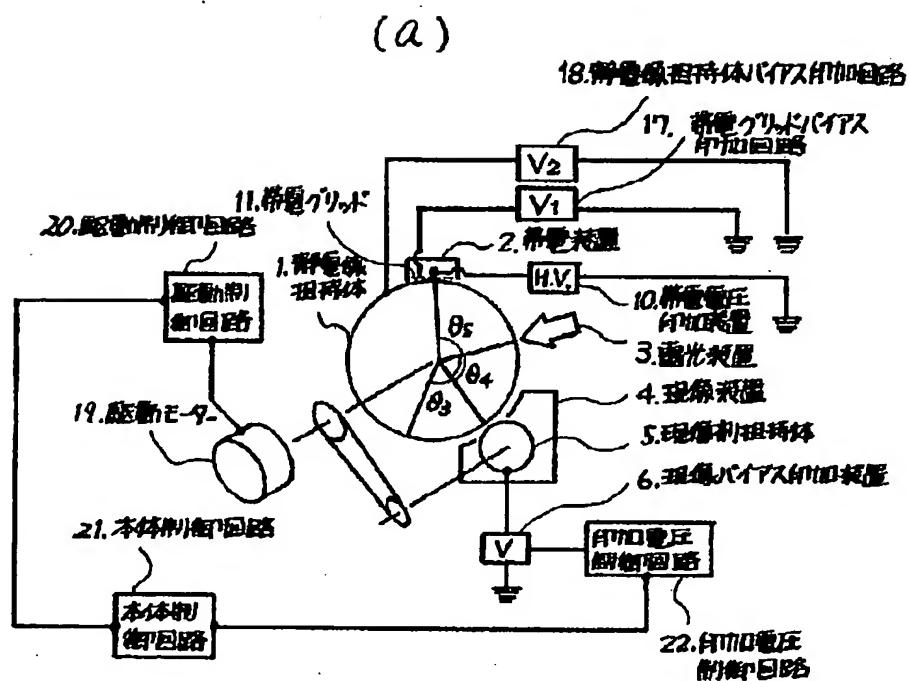
【図8】



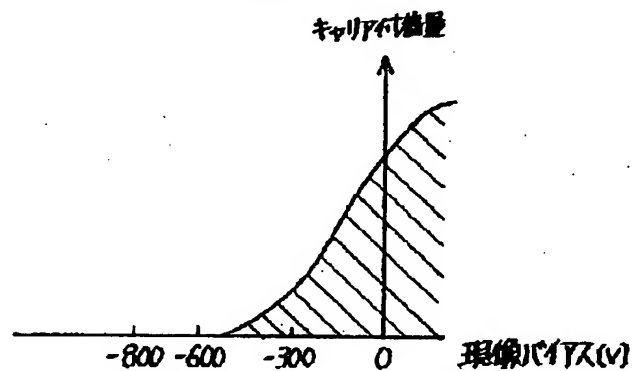
(16)

特開平6-214442

【図9】



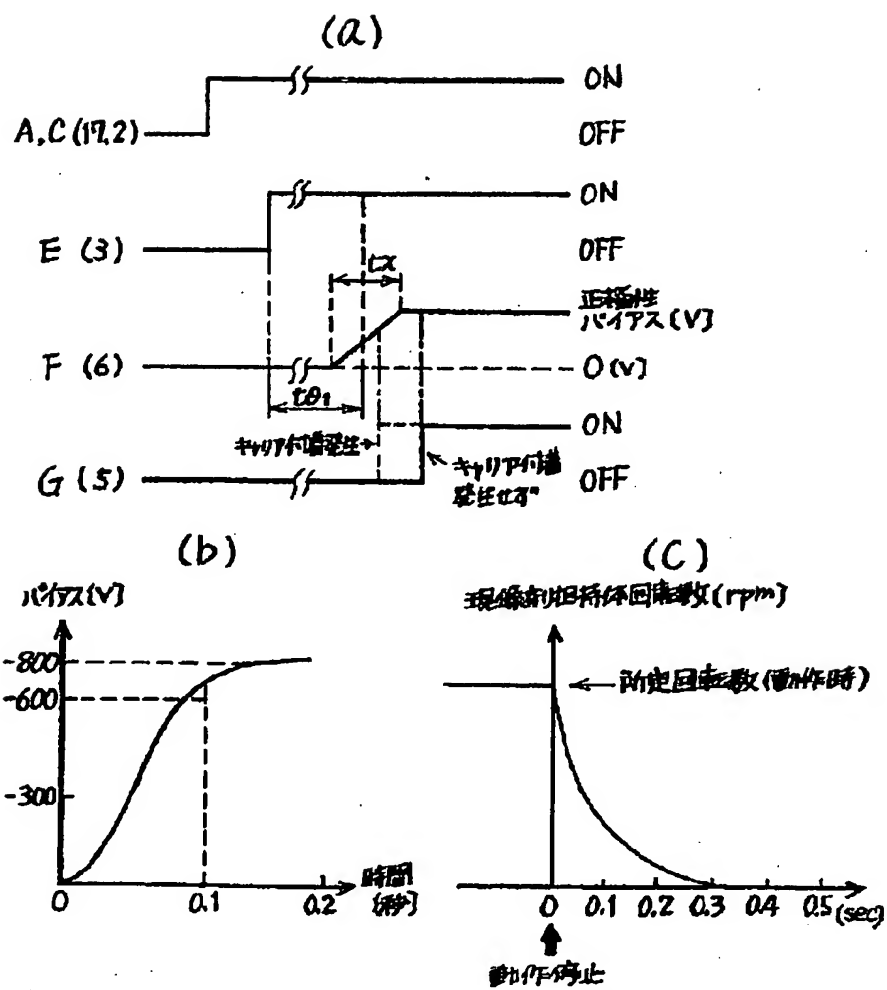
(b)



(17)

特開平 6 - 2 1 4 4 4 2

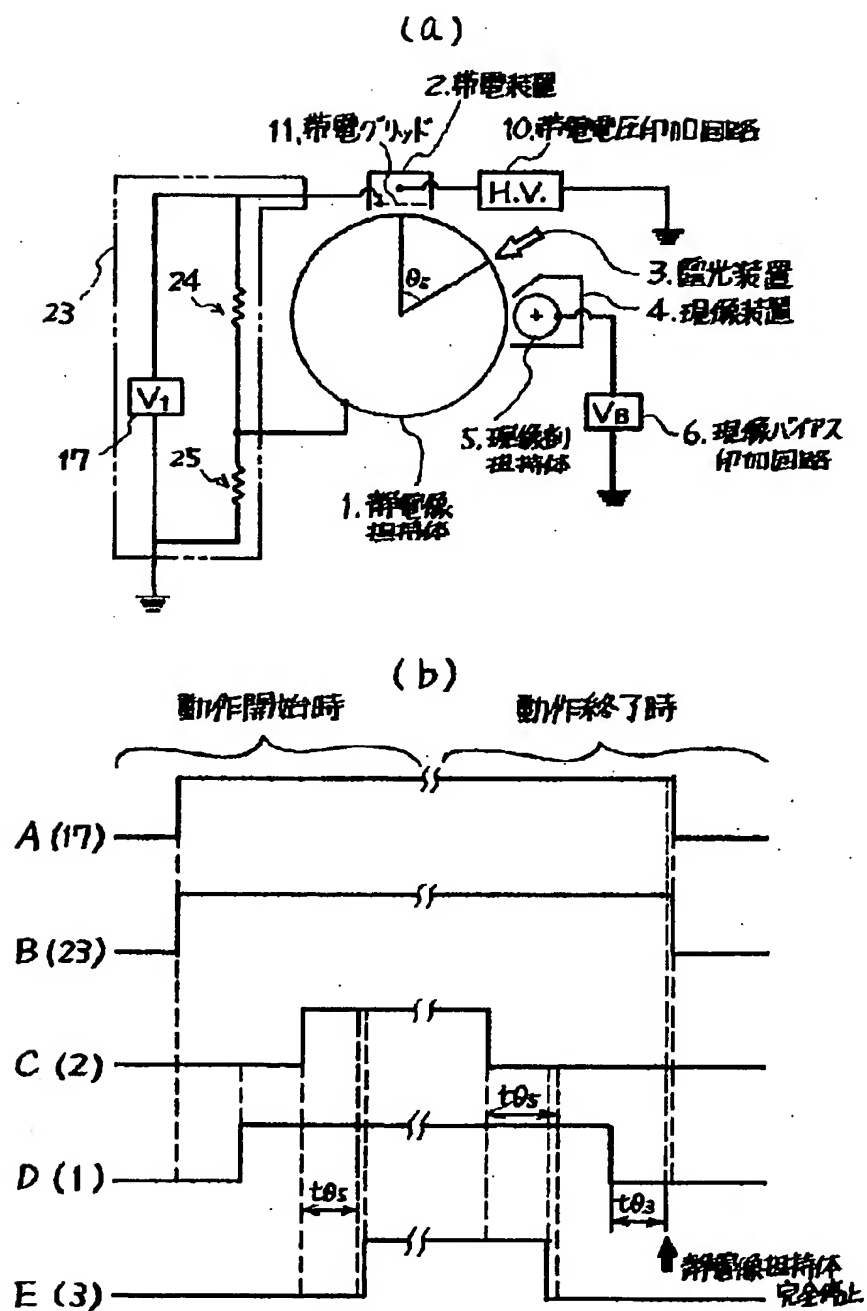
【図 1 1】



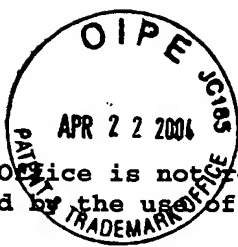
(18)

特開平 6 - 2 1 4 4 4 2

【図 1 2】



* NOTICES *



Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The source electrode which supplies a carrier to a semi-conductor, and the drain electrode which absorbs the above-mentioned carrier from the above-mentioned semi-conductor, The current path which the part becomes from a semi-conductor at least through the above-mentioned drain electrode from the above-mentioned source electrode, The gate electrode which controls the flow of the carrier in the above-mentioned current path, and the 1st field, the 2nd field and the 3rd field which adjoin in the above-mentioned current path from the above-mentioned source electrode to the above-mentioned drain are provided. The 1st field of the above, the 2nd field of the above, and the 3rd field of the above are set up so that it may become this potential mostly in each field. Between the 1st field of the above, and the 2nd field of the above, it has the 1st transition region. It decreases in an increment or monotone in monotone as the potential which has the 2nd transition region between the 2nd field of the above and the 3rd field of the above, and removed the interaction between carriers in the 1st transition region of the above approaches the 2nd field of the above from the 1st field of the above. The semiconductor device with which the average electron number in the 2nd field of the above is characterized by piece extent or below a piece changing switching to the OFF state to which a current does not flow from the ON state to which the die length and operating temperature of the 2nd field of above are set as a predetermined value, and a current flows between source drains.

[Claim 2] The semiconductor device characterized by coming to fill the conditions of $LT < 1000$ (the unit of nm and T is K for the unit of L) between die-length L of a field 2, and operating temperature T in the semiconductor device of claim 1.

[Claim 3] The source electrode which supplies a carrier to a semi-conductor, and the drain electrode which absorbs the above-mentioned carrier from the above-mentioned semi-conductor, It comes to provide the current path which the part becomes from the above-mentioned semi-conductor at least from the above-mentioned source electrode through the above-mentioned drain electrode, and, as for the above-mentioned current path, has a barrier field. The above-mentioned barrier field Form the barrier to migration of the carrier from the source to a drain, and a gate electrode is formed near the above-mentioned barrier field. By changing the potential of the above-mentioned gate electrode, change the height of the above-mentioned barrier and the current between source drains changes. The transistor to which the average electron number in the above-mentioned barrier field is characterized by piece extent or below a piece changing switching to the OFF state to which a current does not flow from the ON state to which the die length and operating temperature of the above-mentioned barrier field are set as a predetermined value, and a current flows between source drains.

[Claim 4] The transistor characterized by a barrier field consisting of Si in the transistor of claim 3.

[Claim 5] The transistor characterized by fulfilling the conditions of $LT < 1000$ (the unit of nm and T is K for the unit of L) between die-length L of a barrier field, and operating temperature T in the transistor of claim 3.

[Claim 6] The 1st transistor to which the drain source path was connected between the 1st action potential point and an output terminal, The 1st transistor to which the drain source path was connected between the above-mentioned output terminal and the 2nd action potential point is provided. The 1st and 2 above-mentioned transistor is a transistor of claim 3. The 1st and 2nd transistor Are the same conductivity type, and according to an input signal, the gate terminal of the 1st transistor and the gate terminal of the 2nd transistor are in phase, and change. When an input signal is high-level, the 1st transistor will be in an OFF state and the 2nd transistor will be in an ON state. The amplifying circuit characterized by designing the 1st and 2nd transistor so that the 1st transistor will be in an ON state and the 2nd transistor may be in an OFF state, when an input signal is a low level.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the transistor circuit using the basic semiconductor device structure and this which constitute integrated circuits, such as a microprocessor of a super-low power, and memory.

[0002]

[Description of the Prior Art] In the semiconductor device used with the conventional integrated circuit, whenever a transistor switches once, also at the lowest, 100000 electrons flow. For this reason, even if movement of a lot of 100000 or more electrons has forgotten for a while that an electron is a particle and dealt with it as a continuous (it is (for example, like water)) fluid, exact modeling was possible for it. For example, exact modeling was possible even if it used average grain density $n(x)$ as a variable in device simulation, not using the particle location and the total particle number of each particle as a variable. However, by the flow of a particle called an electron, the phenomenon in which it cannot be explained that the fact that the current is realized is not taken into consideration is discovered, and attention is recently attracted. This is called the single electronic charging phenomenon. At the beginning, being generated in the structure which connected to the serial the tunnel junction which consists of a metal as shown in drawing 14, and an insulator layer was foreseen theoretically, and, also experimentally, such a phenomenon was observed (KE KE RIKAREFU, granular nano electronics, the 371st page or the 391st page, a plenum press, 1991, K.K.Likharev, Granular Nanoelectronics, Plenum Press, 1991). Then, it was observed that the single electronic effectiveness arises similarly in the double barrier structure of a semi-conductor (physical review Letters besides you Moey Love, 65 volumes, 771 pages, 1990, U.Meirav, et al, Phys.Rev.Lett., 65, 1990). The structure used for this experiment is shown in drawing 15. Furthermore, it is pointed out by controlling from the outside the amount of charges of the isolated field across which two barrier faced that it can use as a 3 terminal device as pointed out by RIKAREFU. RIKAREFU is calling such a 3 terminal component the "single-electron transistor." In a single-electron transistor, a drain current vibrates periodically to gate voltage. That is, if gate voltage is increased from 0V, an ON state and an OFF state will appear periodically. Responding to the electron number of an isolated field carrying out the increment in a piece of this period of vibration is known. Therefore, an ON state and an OFF state can be changed by change of the electron number of one or less piece (isolated field). In the present micro-processing skill level, since change of the electrostatic energy produced by migration of an electronic piece is small, it is at the phase where the actuation in very low temperature of 1K or less is checked. However, if detailed-ization will be advanced further from now on and capacity C can be made small, it is indicated that the actuation in an elevated temperature also becomes possible. If this single-electron transistor is used, it is pointed out that the amplifying circuit which operates with a low power extremely, a logical circuit, etc. are realizable. This is because turning on and off is changed by driving the charge of the amount e of electronic charge as mentioned above. Even if the power consumption of an integrated circuit is increasing quickly and uses a CMOS technology focusing on a microprocessor recently, even the thing accompanied by the big power consumption of 30W is appearing with one chip. This is becoming very important [stopping power consumption low], in order to already have carried out, to have arrived at the limitation of air cooling and to realize a future high performance integrated circuit. If the above-mentioned single-electron transistor is put in practical use, the integrated circuit of a super-low power of 1/100000 [conventional] becomes possible, and the industrial meaning is very large.

[0003]

[Problem(s) to be Solved by the Invention] The present single-electron transistor is the level on which the principle experiment was conducted with the device produced as an object for research of basic physics, and the component which can be used for an actual integrated circuit is not produced, and is not clarified about the technical technical problem for it until now, either. We discovered the following troubles, as a result of examining uniquely the technical

technical problem in the case of building a single-electron transistor. In order to operate with a current value with the realistic single-electron transistor using the tunnel junction of the conventional metal, it is necessary to use a very thin insulator layer as barrier. It is because barrier thickness comparable as electron wavelength is needed in order for the current by the tunnel effect to flow. It is very difficult actually to control the thickness of an insulator layer, and a metal / insulator layer interface by atomic level (angstrom level), in order to stabilize tunnel current with a sufficient controllability at this time, and to actually perform this. Moreover, since the capacity between source isolated fields or between drain isolated fields will become large if such a thin insulator layer is used, there is a problem of not being suitable in high-speed operation. Furthermore, it is equivalent to change of electrostatic energy when the electron of a piece moves to an isolated field from the source being small that capacity is large. Because, electrostatic energy when Charge e is stored in Capacitor C is expressed as $e^2/(2C)$. Here, e is the amount of electronic charge. Therefore, even if, as for C being large, an electronic piece is charged, change of energy means a small thing. If this energy is farther [than heat energy kT] small, migration of an electronic piece will not become a problem. For this reason, in the single-electron transistor using the tunnel junction by the above-mentioned metal insulator layer, there is a problem of operating only by very low temperature.

[0004] In the single-electron transistor (refer to drawing 15) by the double barrier using a semi-conductor, there are an advantage that the height of the barrier is electrically controllable from the outside, and an advantage that the height of the barrier can be made low when using an insulator layer. For this reason, the barrier can be designed thickly and there is an advantage that capacity C can be made smaller than metal junction. Furthermore, since the ultra-fine processing technology used for the conventional semiconductor integrated circuit can be used, there is an advantage that cost for researches and developments and manufacture is made small. However, the conventional single-electron transistor needs to form two barrier in forming one component, as shown in drawing 14 and 15. When it is going to change the height of two barrier, and the potential of an isolated field independently, three control electrodes are needed (with the conventional structure of drawing 15 , the potential of the n+GaAs gate field on a background is changed to changing the potential of an isolated field.). In order to consider as an integrated circuit, it is necessary to also install this electrode in a top face, and three control electrodes are required for a top face together with two electrodes for control of the barrier. A big area is required compared with a conventional field effect transistor (FET) and a conventional bipolar transistor. Furthermore, since the amount of currents varies by the variation in the height of two barrier, and the width of face of the barrier, there is a problem that it is difficult to arrange the property of many components on integrated-circuit level.

[0005] This invention is made on the basis of examination by the above-mentioned this invention persons, since the purpose has simple structure, small, the variation in a property is small and area is to offer the semiconductor device based on the new principle also suitable for a super-low-power integrated circuit.

[0006]

[Means for Solving the Problem] The source electrode which supplies a carrier to a semi-conductor according to the semiconductor device by this invention in order to attain the above-mentioned purpose, and the drain electrode which absorbs the above-mentioned carrier from the above-mentioned semi-conductor, The current path which the part becomes from a semi-conductor at least through the above-mentioned drain electrode from the above-mentioned source electrode, The gate electrode which controls the flow of the carrier in the above-mentioned current path, and the 1st field, the 2nd field and the 3rd field which adjoin in the above-mentioned current path from the above-mentioned source electrode to the above-mentioned drain are provided. The 1st field of the above, the 2nd field of the above, and the 3rd field of the above are set up so that it may become this potential mostly in each field. Between the 1st field of the above, and the 2nd field of the above, it has the 1st transition region. It decreases in an increment or monotone in monotone as the potential which has the 2nd transition region between the 2nd field of the above and the 3rd field of the above, and removed the interaction between carriers in the 1st transition region of the above approaches the 2nd field of the above from the 1st field of the above. The die length and operating temperature of the 2nd field of above are set as a predetermined value, and it is characterized by the average electron number in the 2nd field of the above changing switching to the OFF state to which a current does not flow in piece extent or below a piece from the ON state to which a current flows between source drains.

[0007] Moreover, the source electrode which supplies a carrier to a semi-conductor according to the transistor by another operation gestalt of this invention, It leads to the above-mentioned drain electrode from the drain electrode which absorbs the above-mentioned carrier from the above-mentioned semi-conductor, and the above-mentioned source electrode. It comes to provide the current path which the part becomes from the above-mentioned semi-conductor at least, and, as for the above-mentioned current path, has a barrier field. The above-mentioned barrier field Form the barrier to migration of the carrier from the source to a drain, and a gate electrode is formed near the above-mentioned

barrier field. By changing the potential of the above-mentioned gate electrode, change the height of the above-mentioned barrier and the current between source drains changes. The die length and operating temperature of the above-mentioned barrier field are set as a predetermined value, and it is characterized by the average electron number in the above-mentioned barrier field changing switching to the OFF state to which a current does not flow in piece extent or below a piece from the ON state to which a current flows between source drains.

[0008] Furthermore, the 1st transistor to which the drain source path was connected between the 1st action potential point and an output terminal according to the transistor circuit by another operation gestalt of this invention, The 1st transistor to which the drain source path was connected between the above-mentioned output terminal and the 2nd action potential point is provided. The 1st and 2 above-mentioned transistor is the semiconductor device of the above-mentioned configuration, or a transistor of the above-mentioned configuration. The 1st and 2nd transistor is the same conductivity type, and the gate terminal of the 1st transistor and the gate terminal of the 2nd transistor are in phase according to an input signal, and it changes. When an input signal is high-level, the 1st transistor will be in an OFF state and the 2nd transistor will be in an ON state. When an input signal is a low level, the logical circuit which used this is constituted in the amplifying-circuit pan characterized by designing the 1st and 2nd transistor so that the 1st transistor will be in an ON state and the 2nd transistor may be in an OFF state.

[0009]

[Function] According to the typical operation gestalt (drawing 1) of this invention, in order for what is necessary just to be to form one barrier on the current path from the source to a drain, compared with the conventional single-electron transistor (drawing 15), structure becomes easy. For this reason, 3 terminal component of this invention is realizable in an area comparable as conventional FET. Moreover, in order to control a current only by the single barrier, compared with the case of two conventional barrier, the variation in a property becomes small relatively. the electron number which exists in the barrier -- the ON state and OFF state of FET -- at most -- since only piece extent changes, power required for this switching is very small. Therefore, the integrated circuit device of a super-low power is realizable.

[0010]

[Example] Hereafter, the 1st example of this invention is explained with reference to drawing 1 and drawing 2 . Although this example shown in drawing 1 and drawing 2 has the same structure as the conventional MOSFET apparently, it has structure designed so that the conventional MOSFET might show completely different actuation, as shown below. 1, the high high-impurity-concentration n mold Si field whose 2 is the source and a drain field, respectively, and 3 are gate electrodes. A channel field consists of Si (silicon) of p mold, i mold, or a low high-impurity-concentration n mold. Channel length is formed very minutely with 10nm, and channel width is 10nm. Operating temperature is typically set as the very low temperature of 30K.

[0011] The potential over the electron between source drains is shown in drawing 3 . That is, since the donor impurity (just charged) which ionized the source drain field of n mold is contained in high concentration, the potential energy to an electron is low. On the other hand, the channel field forms the barrier to an electron. If potential of a gate electrode is made high in the forward direction, the height of the barrier will become low and the electron number in the barrier will increase it. In the actuation of MOSFET by which prototype or theoretical examination was carried out till the present, the drain current is also increasing with the increment in this electron number (refer to drawing 4), and this is believed as a fact which continues not to change (this is exceptional although the inclination for a drain current to decrease slightly with the increment in an electron number may be seen, if electron density turns into high concentration extremely or vertical electric field become very strong at Si-SiO₂ interface).

[0012] However, when this example was operated at 100K or less low temperature, it became clear by examination of artificers that completely different actuation is shown conventionally. The current potential property of this invention is shown in drawing 4 . A drain current vibrates very violently to the average electron number in a channel. That is, an ON state and an OFF state are repeated periodically. This period of vibration corresponds to the increment in gate voltage required for making an electronic piece increase into a channel. In this current potential property, there is a field where a drain current decreases with the increment in gate voltage, and negative resistance is shown.

[0013] This vibration can confirm responding to carrying out the piece increase and decrease of the electron number in a channel with a means realistic as follows. It is the approach of investigating whether the 1st approach corresponding with gate voltage e/C_g required evaluating the capacity C_g between gate channels and for a period of vibration fluctuating an electronic piece (e is the amount of electronic charge here). It is the approach of confirming whether the gate voltage corresponding to a period of vibration is mostly in inverse proportion to channel length by carrying out creation evaluation of the component of the same structure where only channel length (this is the die length of a barrier field) differs, as the 2nd approach.

[0014] The mechanism which this vibration produces is explained below. Expressing the capacity C_g between channel

gates, the capacity between the channel sources and the capacity between channel drains presuppose that it is far smaller than C_g . In order to simplify explanation, a drain electrical potential difference considers the case of being small, compared with the electrical potential difference between the gate sources. Electrostatic energy U of this transistor is expressed with a degree type.

$U = Q^2/(2C_g) - QV_g$ -- Q is the amount of electronic charge in a channel, V_g is gate voltage, the 1st term of the right-hand side is the energy stored in C_g , and the 2nd term is energy which a transistor gets from a power source here. This formula is rewritten like a degree type.

$$U = (Q - C_g V_g)^2 / (2C_g) - Q^2 / (2C_g)$$

This formula shows that U becomes minimum value $-Q^2/(2C_g)$ clearly at the time of $Q = C_g V_g$. If Q can take any value continuously, this minimum value should actually be realized. However, when it takes into consideration that an electron is a particle in fact, Q does not have integral multiple disregard R_{ie} of e . $Q = C_g V_g$ stops therefore, realizing generally. What is actually realized is in the condition that energy is the smallest, in the inside in the discrete condition of calling it $Q = Ne$ ($N = 0, 1, 2 \dots$). This can be found as follows from easy count.

[0015]

- Make it be the same as that below of $Q = e$ at the time of $Q = 0$ or $e/(2C_g) < V_g < 3e/(2C_g)$ at the time of $Q = 0$ $V_g = e/(2C_g)$ at the time of $e/(2C_g) < V_g < 3e/(2C_g)$. They are $Q = Ne$ or $(N+1)e$ (1) at the time of $Q = Ne$ $V_g = e(2N+1)/(2C_g)$ at the time of $e(2N-1)/(2C_g) < V_g < e(2N+1)/(2C_g)$.

Although N naturally increases with the increment in gate voltage, if the discreteness of a charge is taken into consideration, N increases stair-like. What an electron recognizes N individual existence for into the barrier now is a stable juniper. At this time, since total energy is higher than the condition of N individual, neither $N-1$ condition nor $N+1$ condition is realized. Therefore, in this condition, an electron is not allowed that an electron also enters into the barrier from from outside the barrier, and to go away out of the barrier out of the barrier, either. It is extent which can consider that the electron which had high energy thermally rare by chance goes the inside of the barrier, and outside in and out. In this condition, a drain current hardly flows. That is, it is in an OFF state (in order for such an OFF state to be realizable, it is needed that the difference of the energy of the system in the condition of an electronic N individual and $N+1$ condition is larger than heat energy kT). On the gate voltage conditions on which Q changes from Ne to e exactly $(N+1)$, the condition of $Q = Ne$ and the condition of $Q = (N+1)e$ become the exactly same energy. At this time, a drain current flows according to the device shown in drawing 16. That is, supposing an electron is in the condition of N individual at the first moment ($t = 0$), although piece impregnation of the electron is carried out into the barrier from the source and it will be in $N+1$ condition at $t = t_1$, energy is not needed at all. Energy does not need (the electron number in the barrier serves as N individual from $N+1$ piece) for one electron going away in a drain out of the barrier at $t = t_2$ at all after that. By repeating this, a carrier can be poured from the source to a drain (the condition of N individual and $N+1$ condition are changed by turns). A carrier flows from a drain also to the source according to the completely same mechanism. By establishing the potential difference between the drain sources, the carriers which flow from the source to a drain increase in number more than the carrier which flows to an opposite direction, and a current flows between the drain sources. That is, it turns out that this is an ON state. If gate voltage is made to increase furthermore, $N+1$ piece will be in a stable condition, and a drain current will not flow. As mentioned above, only in the discrete conditions which fill the conditions of a formula (1) with an absolute zero-point, it will be in an ON state. This ON state is periodic to gate voltage so that clearly from a formula (1). Therefore, in this example, it turns out that an ON state and an OFF state are repeated periodically. Although the absolute value of a current decreases also in the gate voltage near [although the above was the argument on an absolute zero-point] the conditions which will be in the above-mentioned ON state at the temperature of finite, a current will flow. Therefore, the property shown in drawing 4 has been explained.

[0016] As mentioned above, in this invention, change of the average electron number in the barrier when changing from an ON state to an OFF state has been the big description which does not have a point below of a piece in the former. For example, by the ON state, they are an average of $N+0.5$ pieces to the electron number in the barrier having been N individual in the above-mentioned OFF state. Therefore, in this example, there is only a difference of 0.5 electrons at an ON state and an OFF state. In the conventional MOSFET, it has not been a problem by the ON state and the OFF state how the number of the electrons in the barrier changes until now. Since this is boiled not much and serves as a large number, it is because it is common that do not make it a problem but change of electron density discusses rather as for the number of electronic one by one. For example, in the channel of 0.3-micron channel length's MOSFET by which the integrated circuit of current research level is produced, about 100000 electrons exist by the ON state, and it becomes about zero piece in an OFF state. When using the electron of such a large number, it does not become a problem whether the number of the electrons in an ON state is 100000 or they are 100001 pieces at all.

[0017] It is decided by change of the energy of a system when gate voltage is fixed and only a piece increases the number of the electrons in a channel (inside of the barrier) whether the property of a transistor will turn into a property which increases in monotone to gate voltage as known conventionally, or it will become the property of vibrating like this invention. When the dimension of a transistor is set as a predetermined value, and being set up so that this energy change may become sufficiently large rather than heat energy kT , the current potential property of vibrating like this invention is acquired. It argues about the concrete conditions which realize this later.

[0018] Conventionally, it was known for the device (drawing 14 , 15) which has the field isolated by two tunnel barrier like this invention that the property accompanying the change in an electronic piece of vibrating (as opposed to gate voltage) will be acquired. (KE KE RIKAREFU, granular nano electronics, the 371st page or the 391st page, a plenum press, 1991, K.K.Likharev, Granular Nanoelectronics, Plenum Press, 1991; physical review Letters besides you Moey Love, 65 volumes, 771 pages, 1990, U.Meirav, et al, Phys.Rev.Lett., 65, 1990) . However, in the component which has a single barrier field like this invention, it was not known at all that such a property will be acquired.

[0019] Moreover, as shown in drawing 5 , a drain current goes up stair-like to the increment in a drain electrical potential difference. On the other hand, in the conventional MOSFET, a drain current increases smoothly to a drain electrical potential difference.

[0020] this invention persons solved the conditions to which a completely different current potential property from the former described above appears in a transistor by computer simulation. Consequently, it found out that it was necessary to fulfill the conditions of $LT < 1000$ to all the combination of channel length L and temperature T . This is concretely shown in drawing 6 . By drawing 6 , channel length L is fixed to any value, and change of the drain current when changing temperature T is shown. As for Conditions c, the currents of the conditions from which a current serves as max in the drain current on which drawing 4 vibrates, and Conditions d are the conditions used as min. Whenever it takes $1000/(LT)$ along an axis of abscissa like drawing 6 and arranges a drain current on an axis of ordinate, it becomes the same graph irrespective of the value of channel length L at a surprising thing. That in which vibration appears (a current becomes small rather than c in the conditions d that gate voltage is high) corresponds to the conditions of $LT < 1000$ about. Therefore, it is necessary to fulfill this condition to carry out this invention. $LT >$ The current potential property of vibrating on condition that 1000 is no longer observed at all, and serves as actuation as a conventional MOSFET.

[0021] An example 2 is explained below. The circuit diagram of the inverter circuit which used this invention is shown in drawing 7 . The cross-section structure of the transistor used for this inverter circuit is shown in drawing 8 . By forming a channel with n mold impurity, the threshold voltage of a transistor is set as less than [0V]. By preparing an offset part between the gate and a drain, the electrical potential difference on which the drain current over the electrical potential difference between gate drains starts is set up highly. Therefore, the gate voltage dependency of a drain current turns into a property shown in drawing 10 . Even if the electrical potential difference of $+V_b$ is impressed between the gate sources, and the electrical potential difference of $-V_b$ is impressed, threshold voltage is set up so that a drain current may flow. Supply voltage V_{cc} of this inverter circuit is set to V_b .

[0022] It is the following that this circuit works as an inverter, and it can be made and shown. Since the electrical potential difference of $+V_b$ will be impressed between the gate sources of M1 if an input becomes high-level, it will be in an ON state. On the other hand, since the electrical potential difference of 0V is impressed between the gate sources of M2, it will be in an OFF state. Therefore, M1 discharges the load-carrying capacity of an output, and an output serves as a low level. After an output serves as a low level, the electrical potential difference of $+V_b$ is impressed between the gate drains of M2, but as shown in drawing 10 , to the electrical potential difference between gate drains, come and it is, and since an electrical potential difference is high, M2 is an OFF state. When an input changes from a high to a low, it is between the gate sources of M2. - Since the electrical potential difference of V_b is impressed, it will be in an ON state, and an output is charged. At this time, M1 is an OFF state. After charging an output and becoming high-level, it is between the gate drains of M1. - Although the electrical potential difference of V_b is impressed, M1 becomes OFF as shown in drawing 10 . In any case, since a current hardly flows in a steady state, the current consumption at the time of a stand motorcycle is small.

[0023] The same FET can be used for a pull-up circuit and a pulldown circuit in this circuit. Therefore, it has the description it is featureless to the conventional CMOS device that a logical circuit can be constituted from one kind of FET. In usual CMOS, since it is necessary to form nMOS and pMOS, a production process becomes complicated. Furthermore, in CMOS, nMOS is formed in p wells and pMOS is formed in n wells. the time of arranging a CMOS device superficially -- this well -- big allowances are needed for performing separation of a between. In this invention, since there is no need for such a well, area is made small.

[0024] The input capacitance of the inverter of this invention is very small. If 77K actuation is assumed, an input

capacitance will serve as 4aF extent. Even if a voltage swing sets to 30mV and it assumes the ultra high-speed machine cycle of 4GHz, power serves as a very small value of 1 pW. Even if it assumes power called 1W per one chip, super-high accumulation called the 100G gate is attained at one chip.

[0025] The transfer characteristics of the inverter circuit of this example are shown in drawing 11. It is clear for there to be voltage gain clearly and to have voltage amplification capacity. Therefore, this example can be used also as an analog amplifying circuit only as an inverter circuit as a logical circuit.

[0026] Although the above explanation showed the example of an inverter, it is clear that the combinational logic of the arbitration which compounded NAND, NOR, or these similarly is made by the same configuration as a CMOS circuit.

[0027] Since it answers to the input of a very minute charge, this invention can be used also as a detector of a feeble charge.

[0028] According to this invention, the active element by the change in a single electron is realizable with an easy production process equivalent to the conventional MOSFET. Since there is only one barrier, the area of this component becomes comparable as MOSFET. It is not necessary to form two barrier like the former, and area is small. Since change of the amount of charges currently accumulated between an ON state and an OFF state is very small, the integrated circuit device of a super-low power is realizable.

[0029] although the above explained MOSFET to the example -- the former, such as HEMT, JFET, MESFET, and a bipolar transistor, -- carrying out -- ***** -- oh, also in a **** transistor, actuation by the single electron is realizable by the same principle. At the point currently controlled by potential which impresses the number of the carriers exceeding the single barrier which each of these shows to drawing 2 to a control electrode (gate or base), since there is no difference in any way, the above argument is realized as it is.

[0030] Although the n channel transistor was explained to the example, in a p channel, this invention can consist of this examples 2 similarly.

[0031] An example 3 is explained below. The above-mentioned example 2 explained the device structure and circuitry which use positively the current potential property that this invention vibrates. However, it is clear by combining the transistor of the n channel of this invention, and the transistor of the p channel of this invention like conventional CMOS, as shown in drawing 17 and 18 that an inverter can be constituted. The dimension of the transistor at this time can be similarly decided to be an example 1.

[0032] The 4th example of this invention is shown in drawing 12. It has the structure of MOSFET which has the two gates. The channel width as which channel length is selected at intervals of the isolation (7) by 5nm and the oxide film is 5nm. Operating temperature is 150K typically. n+ Pori Si constitutes the 1st gate and p+ Pori Si constitutes the 2nd gate. 0 or a negative electrical potential difference is impressed to a forward electrical potential difference and the 2nd gate at the 1st gate. By work of the 2nd gate, as for the field of the both ends of a channel field, the height of the barrier to an electron becomes high and a channel becomes impossible. Since the work function is large, having made the 2nd gate into p+ Pori Si aims at the work to which the electrical potential difference of the 2nd gate makes channel width small also for 0V being obtained. Although the 2nd gate can also be made into n+ Pori Si, it is necessary to impress a negative electrical potential difference in this case, and the configuration of a power source becomes complicated. By work of the 2nd gate, effectual channel width becomes much smaller than 5nm. Therefore, the repulsive force by the average Coulomb force between electrons becomes large. Since the effectual width of face of a channel is small, this is clear, if it considers becoming almost close to a head-on collision when the electron whose number is two collides. According to this effectiveness, the transistor actuation by the change in a single electron is attained from the structure of an example 1 to an elevated temperature.

[0033]

[Effect of the Invention] According to this invention, it is realizable in the easy manufacture process as the conventional MOSFET that an average of one or less transistor which operates by the change in a small number of electron extremely is the same. Moreover, in order that this invention may just form the barrier field of a piece, it can do area small compared with the conventional single-electron transistor, and is suitable for high integration. Moreover, since structure is easy, it is hard to be influenced of the variation in a device dimension. In the logical circuit using the transistor of this invention, since it is not necessary to separate a well, compared with conventional CMOS, area can be too made small. Since the logical circuit using this invention has the small input capacitance, it can do power consumption small, therefore is made into a low power, and is suitable for high accumulation. Power consumption reaches a limitation and, as for the integrated circuit by the conventional MOSFET, the further future high integration is becoming difficult. By using this invention, power consumption can be made small with 1/100000 [conventional], the integrated circuit of high accumulation can be realized also 100000 times from before, and the industrial value is large.

[Translation done.]

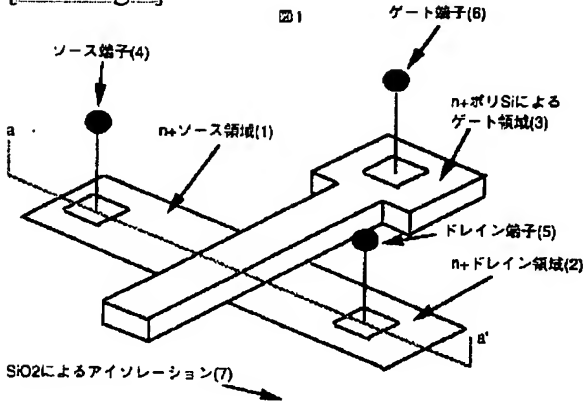
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

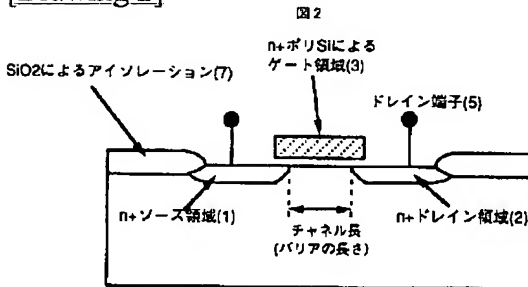
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

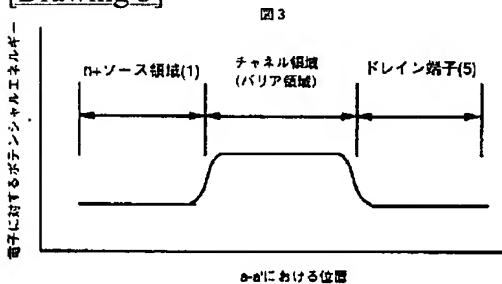
[Drawing 1]



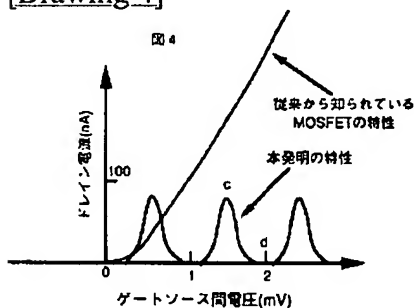
[Drawing 2]



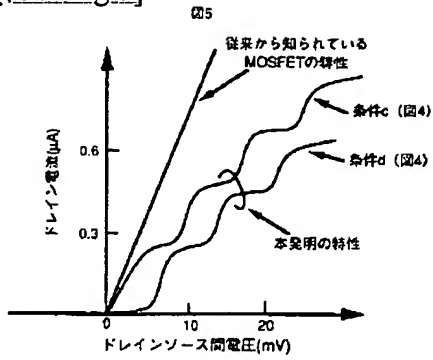
[Drawing 3]



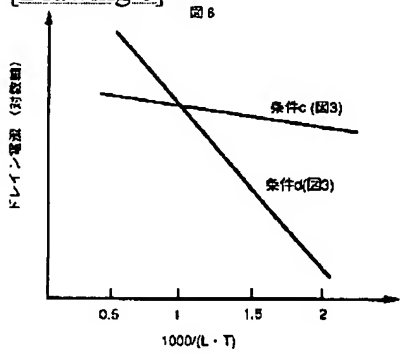
[Drawing 4]



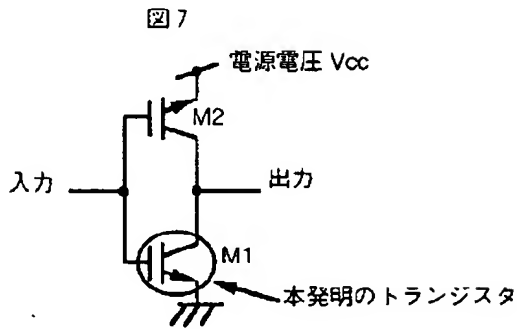
[Drawing 5]



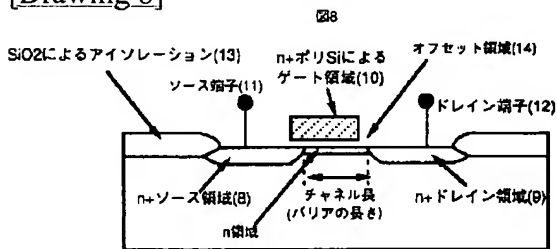
[Drawing 6]



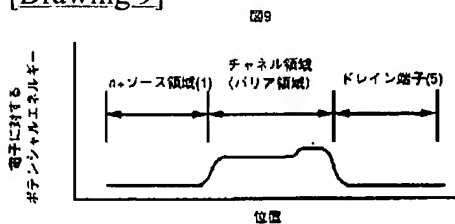
[Drawing 7]



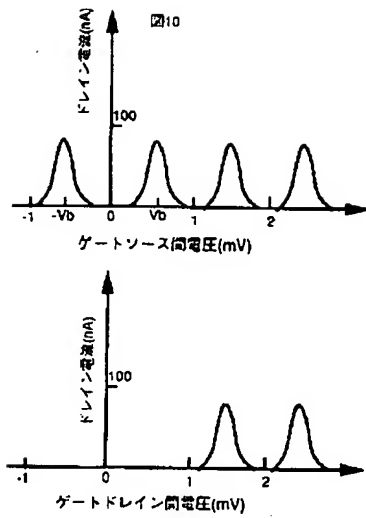
[Drawing 8]



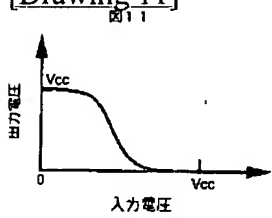
[Drawing 9]



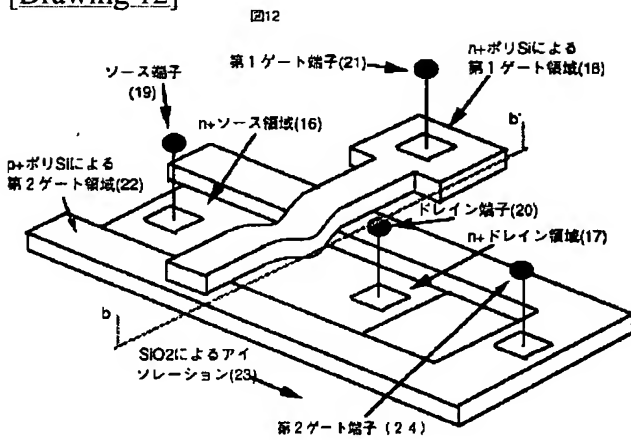
[Drawing 10]



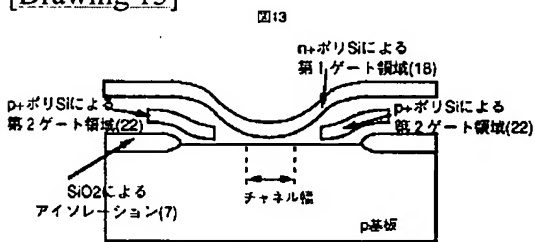
[Drawing 11]



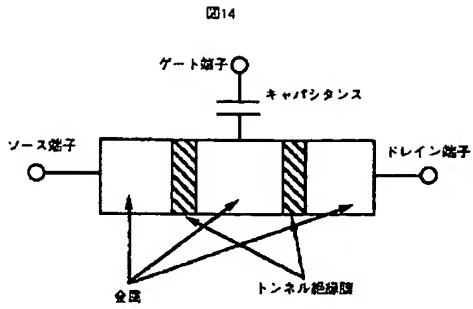
[Drawing 12]



[Drawing 13]

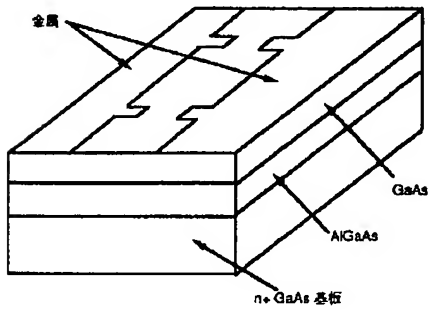


[Drawing 14]



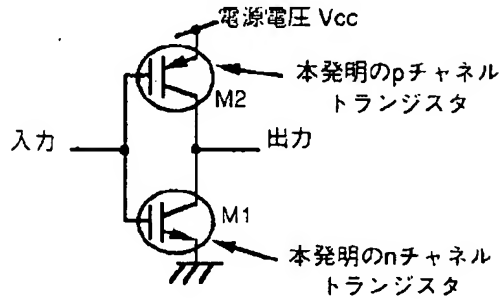
[Drawing 15]

図15



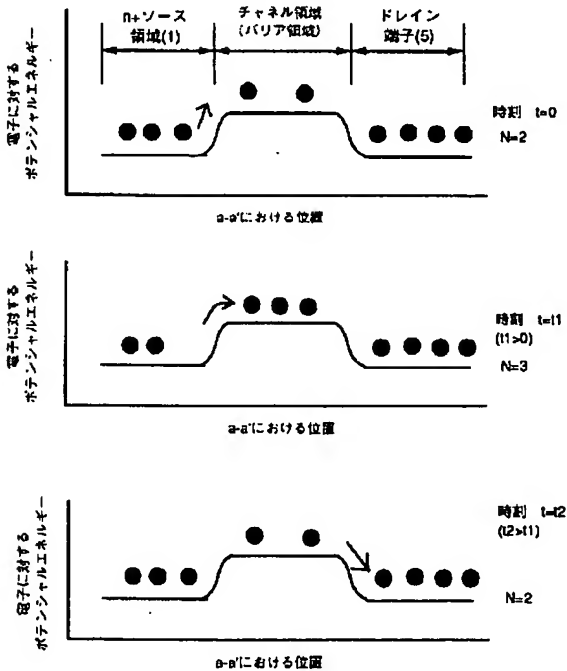
[Drawing 17]

図17



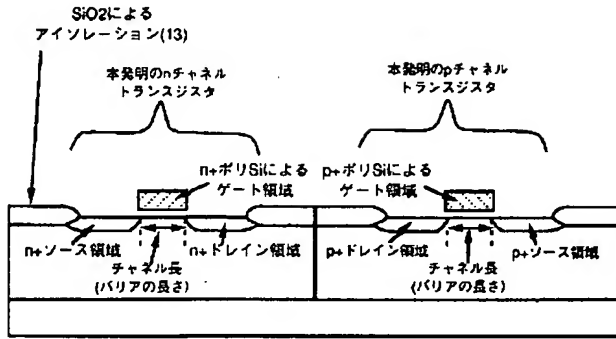
[Drawing 16]

図18



[Drawing 18]

図18



[Translation done.]